

UNIVERSIDAD TECNOLÓGICA DE LA MIXTECA
Maestría en Electrónica, Opción: Sistemas Inteligentes Aplicados



Control de velocidad de un motor síncrono de imanes permanentes accionado por un inversor trifásico multinivel

Tesis
Para obtener el grado en:
Maestro en electrónica

Presenta:

Ing. Rosalino Mayoral Lagunes

Director de tesis:

M.E.C. José Antonio Juárez Abad

Codirector de tesis:

Dr. Jesús Linares Flores

Huajuapán de León, Oaxaca, México, agosto del 2020

Sinodales:

Dr. Jorge Luis Barahona Ávalos

Dr. Marco Antonio Contreras Ordaz

M.C. Arturo Pablo Sandoval Garcia

Dr. Fermín Hugo Ramírez Leyva

Director de tesis:

M.E.C. José Antonio Juárez Abad

Codirector de tesis:

Dr. Jesús Linares Flores

Agradecimientos

Por la dedicación, apoyo y tiempo otorgado en la realización de este trabajo agradezco a mi director de tesis M.E.C. José Antonio Juárez Abad y a mi codirector de tesis Dr. Jesús Linares Flores. Gracias por la confianza ofrecida.

De igual manera agradezco a mis revisores a el Dr. Jorge Luis Barahona Ávalos, Dr. Marco Antonio Contreras Ordaz, M.C. Arturo Pablo Sandoval Garcia y al Dr. Fermín Hugo Ramírez Leyva, por sus comentarios y sugerencias para mejorar la calidad del escrito. Gracias a la Universidad Tecnológica de la Mixteca por brindarme los recursos y herramientas que fueron necesarios para poder llevar acabo el trabajo de investigación y de igual manera agradezco al CONACYT por la beca otorgada durante estos años por la cual pude concluir el posgrado de manera satisfactoria.

También agradezco a mis profesores y amigos, quienes hicieron mi estadía en la institución más amena y por ultimo agradezco a mis padres y hermanos quienes me brindaron su apoyo y amor para continuar mis estudios.

Resumen

Este trabajo presenta el diseño e implementación de un controlador para el seguimiento de velocidad de un motor síncrono de imanes permanentes (MSIP). Se propone un controlador lineal basado en la retroalimentación dinámica de la salida pasiva estática del error exacto (ESEDPOF). El controlador pasivo propuesto requiere del conocimiento del par de carga, por lo que el mismo es estimado con un observador tradicional de orden reducido. El MSIP es impulsado por medio de un inversor multinivel trifásico de celdas en cascada de cinco niveles, el cual logra reducir el contenido armónico del voltaje y la corriente en la alimentación del motor ($< 5\%$ IEEE-519).

Para la implementación del controlador, estimador y modulador multinivel se emplea un FPGA de la familia Spartan-6 XC6SLX9. La arquitectura del controlador al igual que las señales de referencia deseadas y portadoras está basada en el estándar IEEE-754 de representación numérica de punto flotante simple de 32 bits. La generación de las señales de seguimiento y de las señales portadoras del modulador PS-PWM se realizó por medio de la técnica de tablas de búsqueda empleando módulos de RAM que posee en su estructura interior el FPGA; con esto se logró reducir el empleo de recursos dentro del dispositivo. Para las operaciones aritméticas de suma, resta y multiplicación, se utilizaron los IP-Cores proporcionados por la herramienta del fabricante del FPGA, lo anterior para optimizar el uso de recursos. La descripción del control basado en FPGA se realiza en lenguaje VHDL. Para realizar las mediciones de corriente necesarias para la operación del controlador se emplearon tres sensores de corriente con la instrumentación necesaria y se empleó una etapa de conversión A/D de 10-bits. El procesamiento en paralelo que provee este dispositivo permitió obtener un tiempo de muestreo de $10\mu s$.

Para validar el funcionamiento del controlador y del sistema en general se realizaron pruebas con varios perfiles de velocidad, con cambios súbitos de carga y a carga máxima. Adicionalmente se analizaron las variables de velocidad, corrientes de I_q e I_d y torque estimado. Se obtuvieron resultados satisfactorios en el control de velocidad y a demás un buen desempeño del inversor multinivel logrando disminuir el contenido armónico considerablemente.

Índice

Agradecimientos	V
Resumen	VII
1. Introducción	1
1.1. Estado del Arte	2
1.2. Planteamiento del problema.	3
1.3. Justificación.	4
1.4. Hipótesis.	5
1.5. Objetivos.	5
1.5.1. Objetivo general.	5
1.5.2. Objetivos específicos.	5
1.6. Metas.	6
1.7. Delimitaciones.	6
1.8. Descripción de las fases de la metodología	6
1.8.1. Fase 1	6
1.8.2. Fase 2	7
1.9. Marco teórico.	9
1.9.1. Motor síncrono de imanes permanentes.	9
1.9.2. Inversor multinivel Trifásico.	12
1.9.3. Aplicaciones industriales de los FPGAs.	17
2. Fase 1: Modelado, análisis y simulación del sistema	20
2.1. Modelado	20
2.1.1. Pasividad y modelo dinámico	20
2.2. Análisis	22
2.2.1. Control por ETEDPOF	22
2.2.2. Obtención de los puntos de equilibrio	25
2.2.3. Diseño del observador del parámetro del par de carga	26
2.3. Simulaciones	27
2.3.1. Simulaciones del Inversor Multinivel	27
2.3.2. Simulación del controlador	29
3. Fase 2: Implementación en el sistema digital de lógica reconfigurable	36
3.1. Partición modular	36

3.2.	Simulación funcional	37
3.3.	Rediseño digital	37
3.3.1.	DCM	38
3.3.2.	Diseño del modulador PS-PWM en VHDL	38
3.3.3.	Módulo enconder	41
3.3.4.	Módulo seno y coseno	42
3.4.	Gráfico de optimización de flujo de datos	44
3.4.1.	Módulo de la transformada de dq a abc	44
3.4.2.	Módulo de la transformada de abc a dq	45
3.4.3.	Módulo del observador de par	47
3.4.4.	Controlador y trayectorias de referencia	48
3.4.5.	Módulos empleados para el sumador y multiplicador	50
3.5.	Resumen de la implementación en el FPGA	50
4.	Resultados experimentales	52
4.1.	Diseño del experimento	52
4.1.1.	Rendimiento del inversor	54
4.1.2.	Perfiles de velocidad	58
4.1.3.	Prueba a velocidad alta (3000 RPM)	58
4.1.4.	Prueba a velocidad media (1500 RPM)	64
5.	Conclusiones	68
5.1.	Trabajos futuros	69
A.	Plataforma Experimental	71
A.1.	Diseño de la fuente de alimentación para los impulsores de los dispositivos de conmutación de potencia	73
A.2.	Puente-H	74
A.3.	Fuentes de CD para las celdas de potencia	74
A.3.1.	Transformadores	75
A.4.	Descripción de la tarjeta de desarrollo basada en FPGA	76
A.5.	Características del MSIP empleado	77
A.6.	Instrumentación adicional utilizada	78
B.	Artículo publicado	79
C.	Colaboración en publicación	92
	Referencias	106

Índice de figuras

1.1. Esquema general del sistema.	4
1.2. Fase 1 de la Metodología.	7
1.3. Fase 2 de la Metodología.	8
1.4. Resumen de la metodología propuesta.	9
1.5. Comparativo entre motores de flujo radial y axial.	11
1.6. Clasificación de los motores.	12
1.7. Comparativa del inversor clásico de dos niveles (derecha) y la topología multi-nivel en relacion a la tecnología de semiconductor que emplean.	13
1.8. Comparación del voltaje de salida de algunos inversores.	14
1.9. Clasificación de los métodos de modulación para convertidores multinivel. . . .	15
1.10. Configuración del inversor trifásico.	16
1.11. Descripción del funcionamiento del inversor trifásico de celdas en cascada de 5 niveles (solo una fase).	16
1.12. Arquitectura básica de un FPGA.	17
2.1. Diagrama del par de caldas para una fase.	28
2.2. Diagrama para la generación de las señales PWMs para una fase.	28
2.3. Resultados de simulación del inversor multinivel para cada una de las fases. . .	29
2.4. Diagrama eléctrico en PSIM: a) inversor multinivel; b) MSIP; c) transformada $d - q$ a abc; d) transformada abc a $d - q$	30
2.5. Diagrama a bloques del sistema: (a) Controlador pasivo; (b) Observador de par; (c) MSIP e inversor multinivel trifásico de cinco niveles en PSIM.	30
2.6. Controlador basado en pasividad.	31
2.7. Observador de carga de orden reducido.	31
2.8. Puntos de equilibrio del sistema.	32
2.9. Parámetros del MSIP en PSIM.	32
2.10. Perfil de velocidad obtenido con dos tipos de inversores: (a) tradicional de 3 niveles, (b) multinivel de 5 niveles.	33
2.11. Respuesta de la corriente i_d con dos tipos de inversores: (a) tradicional de 3 niveles, (b) multinivel de 5 niveles.	34
2.12. Respuesta de la corriente i_d con dos tipos de inversores: (a) tradicional de 3 niveles, (b) multinivel de 5 niveles.	34
2.13. Estimación del par de carga en la flecha del motor con dos tipos de inversores: (a) multinivel de 5 niveles ,(b) tradicional de 3 niveles.	35

3.1.	Diseño de los módulos dentro del dispositivo FPGA del controlador basado en pasividad para el seguimiento suave de velocidad del MSIP.	37
3.2.	Diagrama de bloques del modulador	38
3.3.	Diagrama de bloques de la portadora	39
3.4.	Diagrama a bloques del comparador	40
3.5.	Tiempos muertos: a) máquina de estados, b) diagrama de tiempos	41
3.6.	Esquema de los pulsos del encoder incremental.	42
3.7.	Diagrama a bloques del modulo seno/ coseno	43
3.8.	Diagrama a bloques del módulo para el cálculo de las seis funciones trigonométricas	43
3.9.	Máquina de estados del módulo para el cálculo de las seis funciones trigonométricas	43
3.10.	Diagrama de secuencia de la transformada dq a abc.	44
3.11.	Diagrama de flujo de datos y máquina de estados para el control de la transformada dq a abc.	45
3.12.	Diagrama de flujo de datos y máquina de estados para el control de la transformada abc a dq.	46
3.13.	Diagrama de secuencia de la transformada abc a dq.	46
3.14.	Diagrama de secuencia del observador de carga	47
3.15.	Diagrama de flujo de datos y máquina de estados para el control del observador de carga.	48
3.16.	Diagrama de secuencia del controlador y de los puntos de equilibrio	49
3.17.	Diagrama de flujo de datos y máquina de estados del controlador y de los puntos de equilibrio.	49
3.18.	Arquitectura del controlador.	51
3.19.	Diagrama de tiempos de la ejecución de los módulos del sistema.	51
4.1.	Interfaz gráfica para el monitoreo de parámetros	53
4.2.	conexión del inversor multinivel.	54
4.3.	Medición de voltaje de L1-N, L2-N.	55
4.4.	Medición de voltaje de L1-L2, L2-L3.	55
4.5.	Pantalla principal del <i>Hioki 3197</i>	56
4.6.	Graficas de armónicos y THD realizadas con el medidor de calidad de la energía <i>Hioki 3197</i>	56
4.7.	Gráfica vectorial de voltajes y corrientes realizadas con el medidor de calidad de la energía <i>Hioki 3197</i>	57
4.8.	Resumen de las mediciones realizadas con el medidor de calidad de la energía <i>Hioki 3197</i>	57
4.9.	Seguimiento de velocidad a diferentes perfiles de velocidad de 500 RPM a 4000 RPM.	58
4.10.	Prueba preliminar a una velocidad de 3000 RPM (314.159 rad/s).	59
4.11.	Arranque suave del MSIP con seguimiento de velocidad.	60
4.12.	Seguimiento de las corrientes iq e id al arranque.	60
4.13.	Carga estimada en la flecha del motor.	61

4.14. Salidas de control u_d y u_q	61
4.15. Lectura tomada de F1-N y F2-N	62
4.16. Lectura tomada de F1-F2 y F2-F3	62
4.17. Corriente en las tres fases durante el arranque del motor MSIP.	63
4.18. Corrientes en un lapso en 20s.	63
4.19. Seguimiento de velocidad suave al arranque a 1500 RPM (157.08 rad/s).	64
4.20. Seguimiento de las corrientes i_q e i_d al arranque a 1500 RPM.	65
4.21. Carga estimada en la flecha del motor a 1500RPM.	65
4.22. Salidas de control u_d y u_q a 1500 RPM.	66
4.23. Corrientes al arranque del motor a 1500 RPM.	66
4.24. Corrientes en un lapso en 20s a 1500 RPM.	67
A.1. Diagrama unifilar del inversor multinivel.	71
A.2. Plataforma experimental.	72
A.3. Fuentes de alimentación para los impulsores de compuerta.	73
A.4. Diagrama eléctrico de la fuente de alimentación para los impulsores de compuerta.	73
A.5. Diseño del PCB de las celdas.	74
A.6. Celdas de puente H.	74
A.7. Diagrama eléctrico de las fuentes de CD.	75
A.8. Vista superior del transformador.	75
A.9. Kit de desarrollo.	76
A.10. MSIP empleado (izquierda), sensor de carga (centro) y motor de CD usado como carga (derecha).	77

Índice de Tablas

1.1. Estados de conmutación de las etapas del inversor.	17
3.1. Latencias y tiempos de procesamiento por módulo.	50
3.2. Consumo de recursos del FPGA.	51
A.1. Características integradas de la tarjeta de desarrollo.	76
A.2. Parámetros del motor.	77
A.3. Parámetros del motor de CD.	78
A.4. Instrumentación utilizada.	78

Capítulo 1

Introducción

Los motores eléctricos son actuadores que se usan en una gran cantidad de maquinaria industrial y en electrodomésticos. Los motores eléctricos pueden ser controlados modificando su posición o su velocidad para que puedan cumplir con alguna tarea específica, entre las que podemos encontrar máquinas CNC, transportadoras, robótica y otros procesos industriales. Dentro de las aplicaciones mencionadas es común encontrar a los Motores Síncronos de Imanes Permanentes (MSIP), los cuales tienen una mejor precisión en términos de velocidad y posición debido a su propiedad de sincronía [1]. Recientemente, los controladores que permiten modificar dichas magnitudes se realizan por medio de dispositivos reprogramables y reconfigurables, tales como DSPs y FPGAs.

Actualmente los arreglos de compuertas programables en campo (FPGA) se han extendido como plataforma de implementación digital en la industria, estos se han utilizado en diversas aplicaciones tales como simulación digital en tiempo real, algoritmos de control avanzado e instrumentación electrónica, entre otros. Tales aplicaciones se encuentran enfocadas en las áreas de mecatrónica, robótica y diseño de sistemas de potencia [2]. Respecto a este último, se han implementado algoritmos de control que actúan en convertidores de potencia y en control de motores eléctricos, tres muy importantes para la realización de este trabajo se citan a continuación [3–5].

La tecnología de los FPGAs posee características relevantes de las cuales se pueden mencionar: alta velocidad de cómputo, reconfiguración, tiempo corto de implementación, buena relación costo/rendimiento y ejecución paralela en algunos algoritmos. Actualmente existen dos propuestas para diseñar sistemas digitales en aplicaciones de control industrial, la primera es un enfoque secuencial, muy empleado para la programación de microcontroladores, DSPs y periféricos embebidos asociados; el segundo enfoque, es el paralelo, usualmente empleado para resolver problemas algorítmicos que requieren alto desempeño en su solución. Este último enfoque permite realizar la ejecución de los algoritmos de control con latencias muy cortas, por lo que se pueden desarrollar sistemas digitales muy eficientes. Otra de las características principales de los FPGAs es que poseen una gran cantidad de salidas y entradas digitales, la cual se aprovechará para generar las señales de PWM que requiere el inversor multinivel [3].

Después de la revisión bibliográfica realizada de los trabajos relacionados con el presente, se describen a continuación los que se consideran más importantes.

1.1. Estado del Arte

El control de velocidad de los MSIP es un tema muy popular en la industria, se han desarrollado muchas técnicas de control tales como el control Backstepping adaptable [6], control por lógica difusa [7], control PI con algoritmos genéticos para su sintonización [8]. También se han desarrollado trabajos sobre el control por rechazo activo de perturbaciones, donde Sira Ramírez y colaboradores [9], integran un observador proporcional integral generalizado de alta ganancia para estimar la posición, velocidad y el par de carga del motor. Vásquez y colaboradores en [10] diseñan y modelan el control por retroalimentación de estados con el modelo linealizado y aplicando el termino integral para eliminar el error en estado estacionario. En [11, 12], presentan el análisis, simulación e implementación del control basado en pasividad sin sensor de velocidad. Estos trabajos son desarrollados en dispositivos de hardware de implementación rápida, si bien su programación resulta fácil y sencilla, resultan ser costosas y poco práctica para el ámbito industrial.

Sin embargo recientemente varios investigadores han usado las cualidades de los dispositivos reconfigurables entre ellos de manera destacada a los FPGAs, para la implementación de algoritmos de control del tipo lineal y no lineal los cuales pueden trabajar con bajas latencias. En ese sentido, para el control de velocidad de los MSIP se presentan algunas contribuciones recientes.

Fhang y colaboradores, desarrollan una técnica de control por modos deslizantes para el seguimiento de velocidad de un MSIP implementado en FPGA de la marca ALTERA utilizando instrucciones en VHDL [13]. En [14] Chang y colaboradores presentan la implementación en un solo FPGA de un algoritmo de control sin sensor de velocidad para el MSIP, en este trabajo se usó una estrategia de implementación del tipo jerárquica y modular para cada bloque del algoritmo de control. Hanamoto y colaboradores en [15] implementan en un FPGA un control de velocidad para un MSIP, donde logran un periodo de muestreo de $5\mu s$ para el sistema de control. En [16] Carbone y colaboradores desarrollan una implementación basada en un FPGA de un controlador para alto rendimiento y sin sensores para un MSIP de $5kW$. Dufour y colaboradores en [17], obtienen el modelo matemático de un MSIP usando el software de análisis de elementos finitos JMAG-RT, el cual implementan utilizando HIL¹ en una placa FPGA ML605 que se ejecuta en el entorno de simulación en tiempo real del software RT-LAB. En [18] Bevilaqua y colaboradores describen la implementación de un algoritmo de control de campo orientado para el seguimiento de velocidad de un MSIP, en este trabajo utilizan un sistema de LabVIEW FPGA de National Instruments, el cual es una herramienta de alto nivel para la síntesis lógica en FPGA. En [19] Rogers y colaboradores presentan un enfoque de diseño basado en FPGA donde controlan la velocidad de un MSIP y además monitorean su rendimiento al mismo tiempo; el algoritmo de control es de campo orientado y el monitoreo

¹HIL (Hardware In the Loop): Es una técnica para el desarrollo y comprobación de sistemas complejos embebidos por medio de simulación digital en tiempo real.

usa el espectro de frecuencia de la corriente del estator para detectar anomalías específicas. En 2017 Chen y colaboradores en [20] proponen un observador adaptativo de modo deslizantes, para mejorar el rendimiento del control sin sensores del MSIP. Obtienen resultados experimentales en una plataforma FPGA con un MSIP alimentado por un inversor tradicional. En [21] Boukaka y colaboradores implementan en FPGA un controlador basado en lógica difusa para el seguimiento de velocidad de un MSIP

Se han encontrado diversos trabajos donde el accionamiento para el MSIP es realizado por un inversor multinivel, por ejemplo en [22] se controla el torque directo de un MSIP accionado por un inversor multinivel asimétrico, se emplea la topología en puente H en cascada, con fuentes de voltaje aisladas de CD con relación de 1:3. En [23] Raj y colaboradores proponen un inversor multinivel de 5 niveles para el accionamiento de un MSIP, el inversor propuesto es de tipo NPC², por lo que utiliza diodos de enclave; en este trabajo se realiza un control de campo orientado el cual únicamente se simula por medio del software MATLAB / SIMULINK y PSIM. En [24] Ngo y colaboradores utilizan un inversor de 3 niveles de tipo NPC para el accionamiento de un MSIP, usando una estrategia de control de torque directo y utilizando el concepto de vectores de voltaje para el accionamiento del inversor. En el mismo sentido en 2016 [25], Wang y colaboradores estudian un esquema de control vectorial, usando 2 inversores trifásicos de tres niveles del tipo NPC para alimentar un MSIP con doble estátor. Un trabajo interesante es [26] donde Jana y colaboradores realizan un estudio comparativo en simulación entre un inversor convencional de 2 niveles con un inversor de 5 niveles en celdas en cascada para el accionamiento de un MSIP, los resultados demuestran que el inversor multinivel tiene una considerable mejora en la calidad de ondas de voltaje y corriente.

Después de la revisión bibliográfica realizada se presenta el siguiente planteamiento del problema:

1.2. Planteamiento del problema.

Los MSIP al ser de naturaleza no lineal y multivariable en su modelo matemático, requieren de una ley de control del tipo no lineal, los cuales son muy complejos matemáticamente. Así mismo se requiere de un hardware que sea capaz de procesar estas operaciones matemáticas en tiempo real. En la mayoría de los casos, este tipo de controladores se implementan en un microcontrolador de alto rendimiento o un DSP, que puede resultar ser muy costoso y generalmente requiere de una conexión permanente con un ordenador para su funcionamiento.

Por otra parte, los MSIP requieren de una señal de voltaje alterna del tipo sinusoidal que pueda ser controlada, por lo que es necesario implementar inversores trifásicos que comúnmente son del tipo tradicional; sin embargo estos presentan la desventaja de generar armónicos en su señal de salida, lo que puede ocasionar daños al motor, tales como vibraciones y sobrecalentamiento en sus devanados que terminarán por reducir la vida útil de la máquina.

Por tal motivo, en este trabajo se realiza la implementación de un control basado en pasividad

²NPC (Neutral Point Clamped): Es una topología de inversor multinivel donde usan diodos para anclar el voltaje en los dispositivos conmutadores.

para el seguimiento de velocidad del MSIP, ya que de acuerdo con la literatura consultada con este controlador se consigue un gran desempeño y simplicidad en términos matemáticos. Sin embargo este tipo de controlador requiere de la medición del par aplicado a la flecha del motor, estos sensores resultan ser muy costoso, para ello se agrega un observador de orden reducido que también resulta simple en términos matemáticos. Para complementar al sistema, la etapa de potencia que alimenta el MSIP se realiza por medio de un inversor trifásico multinivel de topología de celdas en cascada de 5 niveles.

La Fig. 1.1 muestra el esquema general del sistema propuesto. El MSIP está accionando una carga mecánica desconocida, la alimentación del motor es suministrada por el inversor trifásico de 5 niveles. El controlador basado en pasividad, el procesamiento de señales y el modulador PS-PWM son implementados en un FPGA.

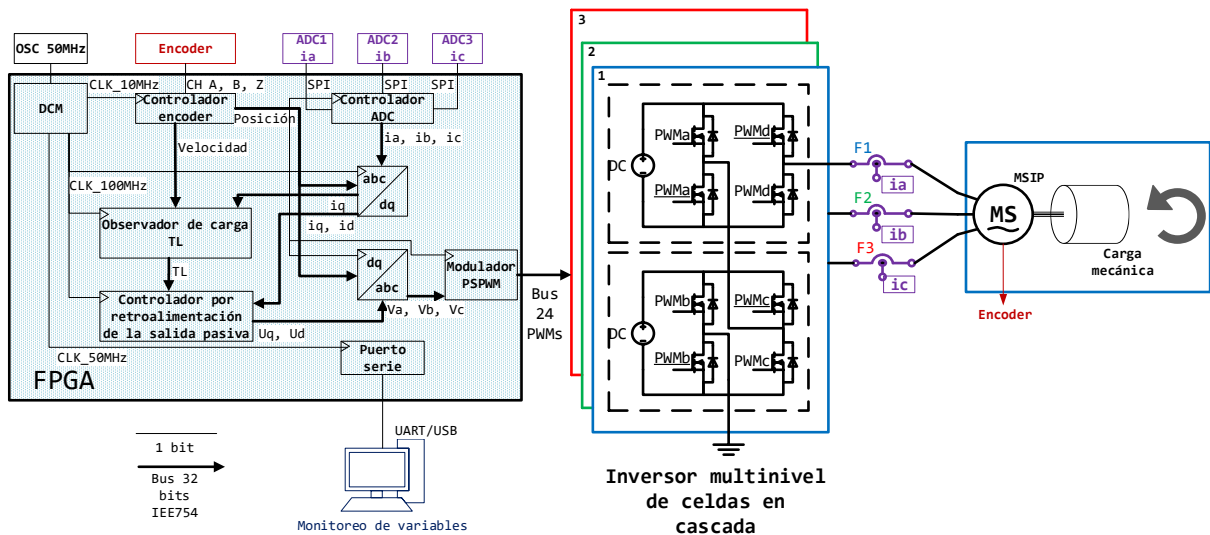


Figura 1.1: Esquema general del sistema.

1.3. Justificación.

Con el desarrollo de la tecnología de los FPGAs se pueden implementar técnicas de control relativamente complejas, las cuales se pueden ejecutar a una gran velocidad computacional. Adicionalmente los recursos necesarios para el control de la instrumentación y de los canales PWM se pueden configurar dentro de un mismo dispositivo. De manera específica en este trabajo es necesario realizar la conmutación de los dispositivos que conforman el inversor trifásico multinivel, el cual requiere de 24 canales de PWM de manera simultánea, por lo anterior se propone utilizar un FPGA debido a las limitantes que presentan otros dispositivos, tales como un microcontrolador o un DSP, relacionadas con el máximo número de canales de PWM y de puertos de entrada/salida con los que cuentan.

Los inversores multinivel se destacan por su bajo contenido armónico en su señal de salida y

por el aumento de potencia nominal en comparación con los inversores tradicionales. Actualmente estos inversores son una buena solución debido a que pueden alcanzar altas potencias usando tecnología de semiconductores de potencia media [27].

Por otra parte el uso del MSIP se ha popularizado por la facilidad para controlar su posición y velocidad, además de tener una mejor relación potencia/tamaño. La característica de sincronismo en los MSIP contribuye a mejorar las prestaciones dinámicas y la regulación de velocidad. Otra ventaja es su facilidad de controlar su velocidad comparado con los motores de inducción. En resumen, al usar este tipo de motor se asegura una mejor precisión en el control de seguimiento de velocidad.

1.4. Hipótesis.

- El desempeño del controlador se mejorará ya que el procesamiento y el tratamiento de los parámetros de corriente, voltaje y velocidad se realiza de manera concurrente en el FPGA.
- Con el inversor multinivel trifásico se reducirá la producción de armónicos logrando un THD menor al 5% en la alimentación del MSIP.

1.5. Objetivos.

1.5.1. Objetivo general.

Implementar el algoritmo de control de velocidad angular basado en pasividad de un MSIP, impulsado por un inversor trifásico multinivel, empleando un FPGA.

1.5.2. Objetivos específicos.

1. Construir el inversor multinivel trifásico de 5 niveles.
2. Diseñar y construir la instrumentación electrónica para la lectura de los sensores de corriente y voltaje.
3. Diseñar e implementar los módulos en VHDL para el controlador de lectura de sensores.
4. Diseñar e implementar un modulador del tipo PS-PWM en el FPGA para el inversor trifásico de 5 niveles en FPGA.
5. Diseñar e implementar el módulo VHDL del algoritmo de control basado en pasividad de seguimiento suave de velocidad angular.

1.6. Metas.

1. Obtener a la salida del inversor un THD menor al 5 %.
2. Un periodo de muestreo menor a $1ms$ en la ejecución del algoritmo de control.
3. Utilizar solo un FPGA para la implementación de todo el sistema.
4. Redactar un artículo de revista.

1.7. Delimitaciones.

1. El inversor trifásico multinivel será solo de 5 niveles.
2. Se empleará un motor síncrono de imanes permanentes de $1.23kW$.
3. Los dispositivos de lógica reconfigurable no poseen capacidad ilimitada, por lo que se tendrá que optimizar los recursos.

1.8. Descripción de las fases de la metodología

El desarrollo de este trabajo se dividió en dos fases metodológicas, la primera de ellas, de manera general se realiza el modelado matemático del sistema, el análisis de las propiedades del modelo y la formulación del controlador, para finalmente simular el controlador y verificar su funcionamiento correcto. La segunda trata sobre la implementación del algoritmo de control y los módulos complementarios en el FPGA. Cada una de estas fases se describen con mayor detalle a continuación.

1.8.1. Fase 1

La fase 1 se resume de manera gráfica en la Fig. 1.2. Esta fase es independiente del dispositivo a utilizar para la implementación y se divide a su vez en 3 etapas:

1. **Modelado:** En esta etapa se modela matemáticamente el MSIP, el inversor trifásico multinivel empleando las leyes o teoremas necesarios para la obtención de las ecuaciones diferenciales del sistema.
2. **Análisis:** Siguiendo con la etapa anterior se analizan los modelos dinámicos del inversor y del motor por medio de herramientas algebraicas, se diseña un controlador y se determina la factibilidad del mismo.
3. **Simulación:** En esta etapa se simulan los modelos matemáticos obtenidos para confirmar la aproximación al modelo real, para ello se utiliza el software Matlab/Simulink en co-simulación con el software PSIM.

La Fase 2 se describe a continuación.

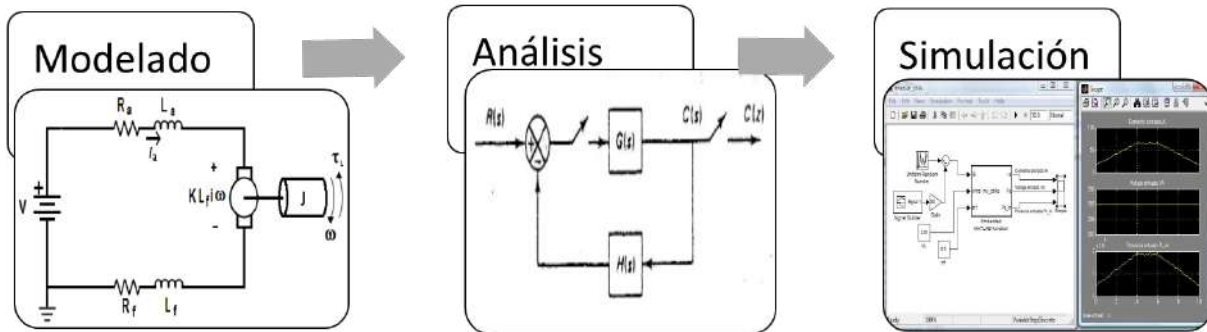


Figura 1.2: Fase 1 de la Metodología.

1.8.2. Fase 2

La metodología de diseño propuesta se resume en la Fig. 1.3. Es una solución equilibrada entre dos necesidades opuestas: 1) un método amigable que se adapta perfectamente a un ingeniero de control que no es un experto en diseño digital y 2) un buen desempeño del controlador [28]. Estos pasos se describen a continuación.

1. **Partición modular:** Consiste en dividir el algoritmo en bloques reutilizables que tienen sentido desde un punto de vista funcional, es decir el algoritmo de control y el modulador del inversor se dividen en módulos y se identifican aquellos que puedan ser reutilizables como operaciones, codificadores, tablas de búsqueda, etc. Se trata de dividir el diseño en partes más pequeñas que puedan ser manejables.
2. **Simulación funcional:** En esta etapa el controlador se valida en función de bloques en tiempo continuo empleando el software MATLAB-Simulink, este paso es similar al paso tres de la fase 1.
3. **Rediseño Digital:** Esta etapa es muy importante, en éste se incluye por ejemplo, la realización del filtro digital, la elección del periodo de muestreo, la elección del formato de coeficientes y variables acorde a las necesidades y restricciones del control tales como: longitud de palabra, punto fijo o punto flotante, entre otros.

Las cuatro etapas finales se relacionan con la implementación en el FPGA y consisten en lo siguiente:

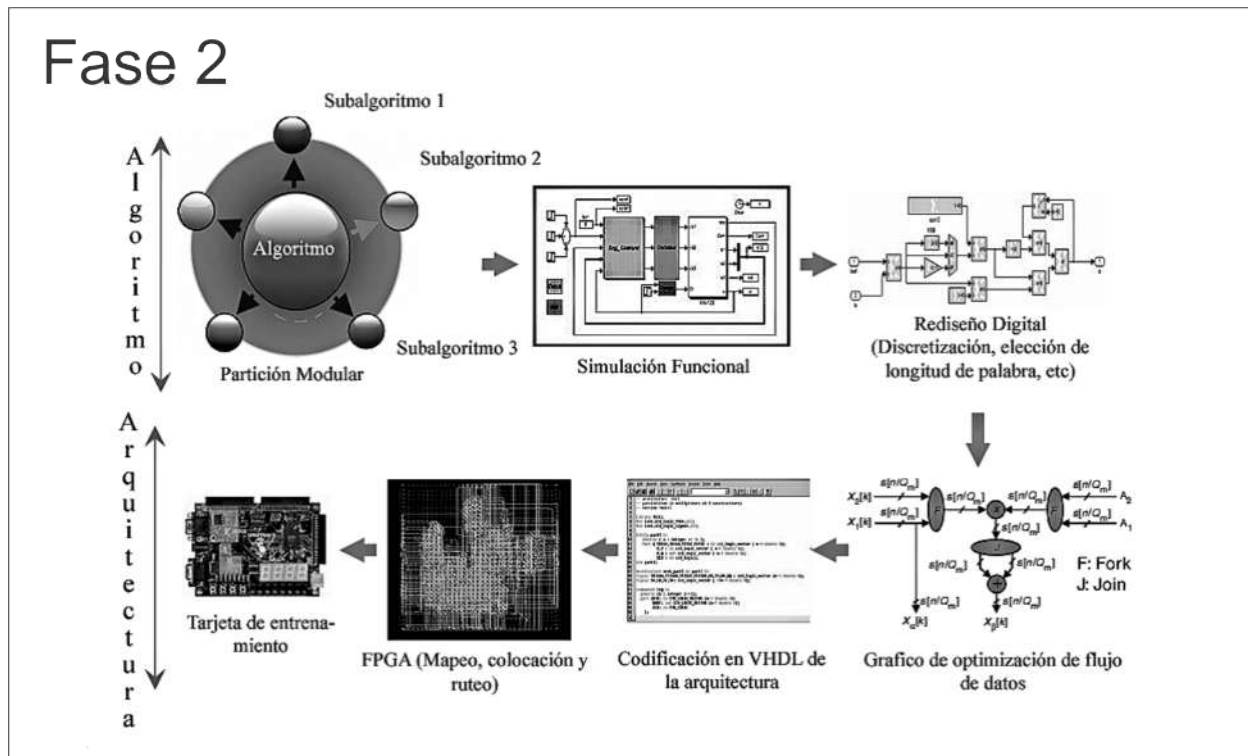


Figura 1.3: Fase 2 de la Metodología. [28]

- 4 **Gráfico de optimización del flujo de datos:** En esta etapa se modela el flujo de datos del algoritmo para tener el mejor balance en términos de tiempo/área, para esto se obtiene una representación gráfica de cada módulo del algoritmo. La representación gráfica está compuesta de líneas y nodos, cada línea corresponde a una transferencia de datos y los nodos representan operaciones aritméticas o funciones lógicas o matemáticas.
- 5 **Codificación HDL:** A partir del gráfico de flujo de datos de la etapa anterior se transcribe a código VHDL, las transferencias de datos por lo regular son controladas por máquinas de estados finitos síncronas a la señal de reloj del FPGA.
- 6 **Implementación en FPGA:** Este es un proceso automático y es realizado por lo regular con la herramienta que proporciona el fabricante del dispositivo, en esta etapa se realiza el mapeo de las funciones resultantes, colocación y ruteo.
- 7 **Validación experimental:** Consiste en integrar todo el sistema, se realizan pruebas de rendimiento, y se ajustan los parámetros necesarios hasta obtener los resultados deseados.

La Fig. 1.4 muestra de manera gráfica la metodología completa, esta incluye la Fase 1 y la Fase 2. Cabe mencionar que de manera paralela a estas fases se deberá construir el convertidor de potencia, en este caso específico el inversor trifásico multinivel. A esta fase, le llamamos fase concurrente.

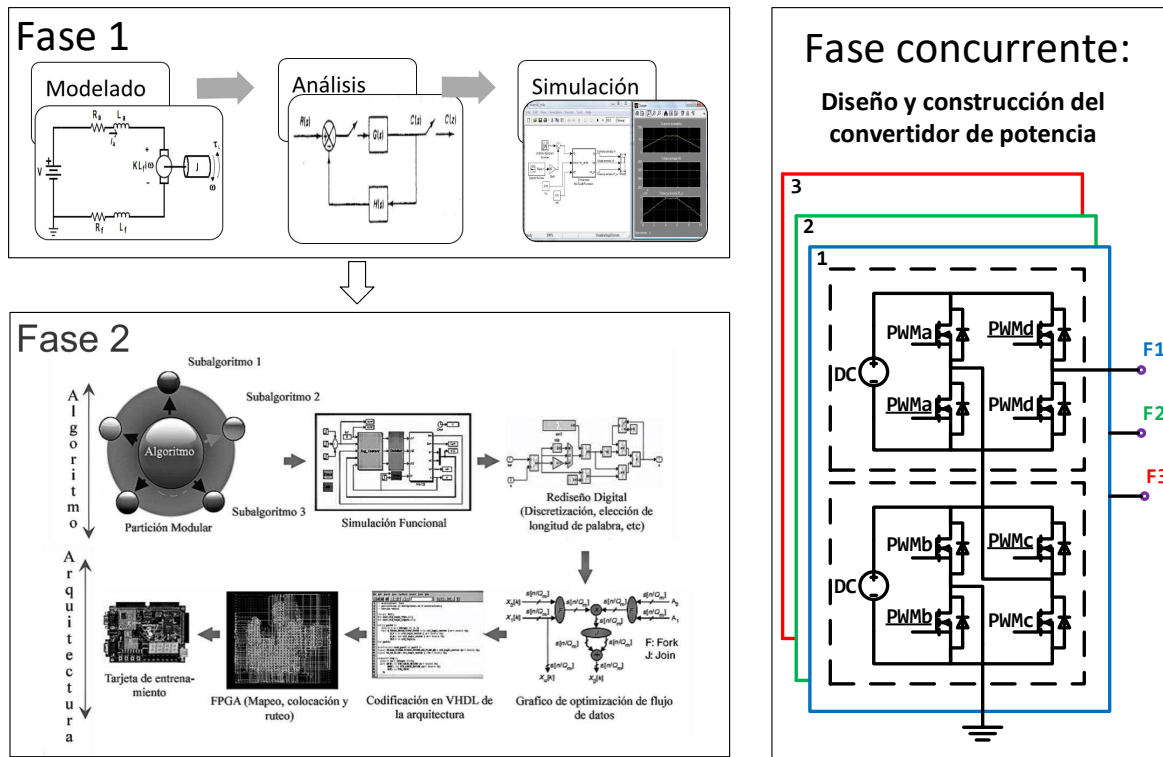


Figura 1.4: Resumen de la metodología propuesta.

1.9. Marco teórico.

1.9.1. Motor síncrono de imanes permanentes.

Los motores eléctricos pueden clasificarse de acuerdo al tipo de corriente que se manejan, esto es, de CA o CD. Dentro de los motores de CA se encuentran los de tipo síncrono y asíncrono. Los motores síncronos a su vez pueden clasificarse por el tipo de rotor que emplean; devanado o de imanes permanentes. Los MSIP pueden ser de polos salientes o de polos superficiales. El motor usado en este proyecto de tesis es un MSIP de polos superficiales, modelo BSM80N-275AF de la marca Baldor. A continuación se describe más acerca de este tipo de motores.

Los motores síncronos son máquinas eléctricas que transforman energía de forma de voltaje alterno trifásico a energía mecánica rotaria, como su nombre lo dice, los motores síncronos funcionan en sincronismo con el campo rotatorio. En consecuencia, la velocidad de rotación está asociada con la frecuencia de la fuente. Esta relación se expresa por medio de la Ec.(1.1), donde ω es la velocidad del motor en revoluciones por minuto (RPM), f frecuencia de la fuente y np número de pares de polos del motor.

$$\omega = 60 \frac{f}{np} \quad (1.1)$$

Algunas ventajas de los MSIP sobre los motores de CD, motor de inducción y el motor síncrono con devanado de campo son [29]:

- Los imanes permanentes no absorben energía eléctrica, por lo tanto, no hay pérdidas de excitación.
- Relación favorable de par/peso y potencia/peso de salida.
- Mejor desempeño en estado transitorio (alta densidad de flujo magnético en el entrehierro y par electromagnético).
- Excelente controlabilidad en el rango completo de par-velocidad.
- El mecanismo de enfriamiento es más efectivo, debido a que el calentamiento por pérdidas es concentrado únicamente en el estator.
- Simplificación en la construcción y mantenimiento.
- Diseño compacto y menor espacio de instalación.

Algunas desventajas son:

- Reducción de la flexibilidad en el control de flujo.
- Efecto de desmagnetización de los imanes.
- Su costo es mucho mayor comparado con el motor de inducción [30].

Clasificación de los MSIP

Los motores síncronos pueden clasificarse en función de la dirección del flujo de campo magnético del rotor:

- Flujo radial: La dirección del flujo es a lo largo del radio del motor.
- Flujo axial: La dirección del flujo es paralelo al eje del motor.

El MSIP de flujo radial es el más usado actualmente, aunque la de flujo axial está incrementando notablemente su uso en algunas aplicaciones, debido a su alta densidad de potencia y aceleración. Estas características son deseables para aplicaciones de alto rendimiento [31], en la Fig 1.5 se ilustran los dos tipos de flujo en los motores. Los imanes pueden ser colocados en el rotor de varias maneras: interiores o superficiales, esto se describe más adelante. El estator no posee grandes diferencias en los tipos de motores síncronos, dependiendo de la construcción del rotor se tienen los siguientes tipos:

- De imanes permanentes montados en el rotor.
- De rotor devanado para generar el campo magnético [32].
- De reluctancia variable con rotor laminado.

Los MSIP de flujo radial pueden clasificarse también de acuerdo con la fuerza contra electromotriz generada en el estator: de forma trapezoidal o distribución sinusoidal [31]. El motor

empleado en este trabajo es de flujo radial con distribución sinusoidal. La Fig 1.6 muestra un diagrama de la clasificación de los motores, sombreando principalmente el camino al tipo de motor utilizado en este trabajo.

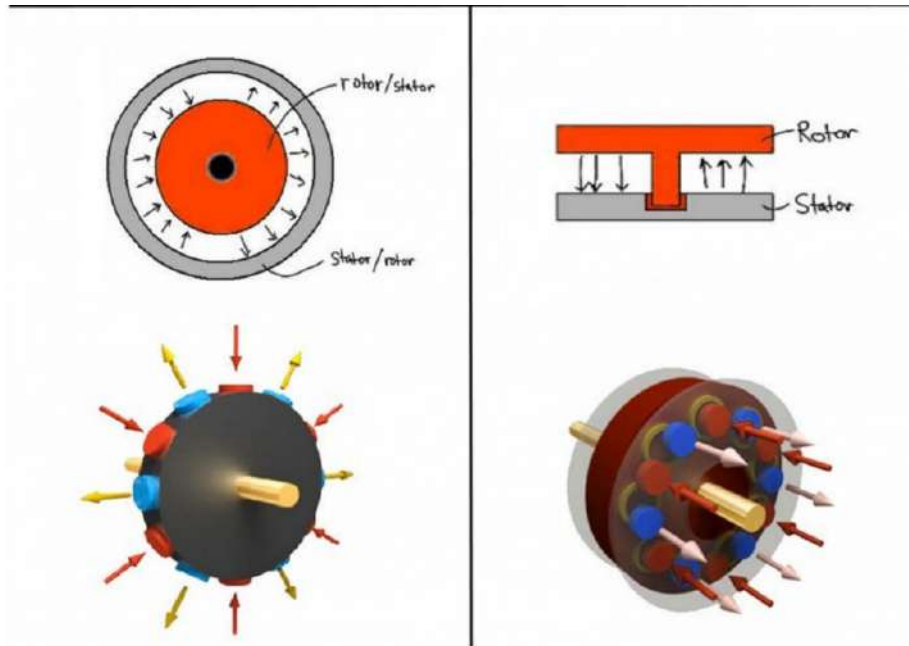


Figura 1.5: Comparativo entre motores de flujo radial y axial [33].

Rotor con imanes exteriores o superficiales. Desde el punto de vista constructivo, se caracterizan por llevar los imanes pegados a la superficie exterior del rotor mediante potentes adhesivos. Al tener un entrehierro grande, son necesarios imanes de alta energía, por lo que se emplean los imanes de tierras raras (Nd-Fe-B o Sm-Co). La ventaja que supone esta configuración, es que en conjunto ocupa un reducido volumen, incluso para un elevado número de polos. Además, los imanes se encuentran en una posición muy cercana al estator, de manera que se reducen las pérdidas y es más sencilla la filtración de los armónicos altos. Los inconvenientes son el mayor coste de las tierras raras frente a la ferrita, y la dificultad que presenta su montaje sobre la superficie. Debido, precisamente, a que están pegados a la superficie, debe limitarse la velocidad para evitar el efecto que podría provocar la fuerza centrífuga, provocando que algún imán se desmontara [34].

Rotor con imanes interiores. En esta configuración, los imanes permanentes se colocan en el interior de la chapa del rotor. Desde el punto de vista constructivo, se trata de un montaje más complejo y costoso comparado con el rotor de imanes exteriores, pero con la ventaja de que se puede reducir mucho el entrehierro. Esto implica que no son necesarios imanes de alta energía, por lo que se utiliza habitualmente la ferrita, que tiene un coste menor. En conjunto, son máquinas de un volumen mayor, por lo que se emplean para pocos polos. Se trata de una construcción que protege y sujeta los imanes especialmente, por lo que es especialmente adecuada para prestaciones que impliquen muy altas velocidades [34].

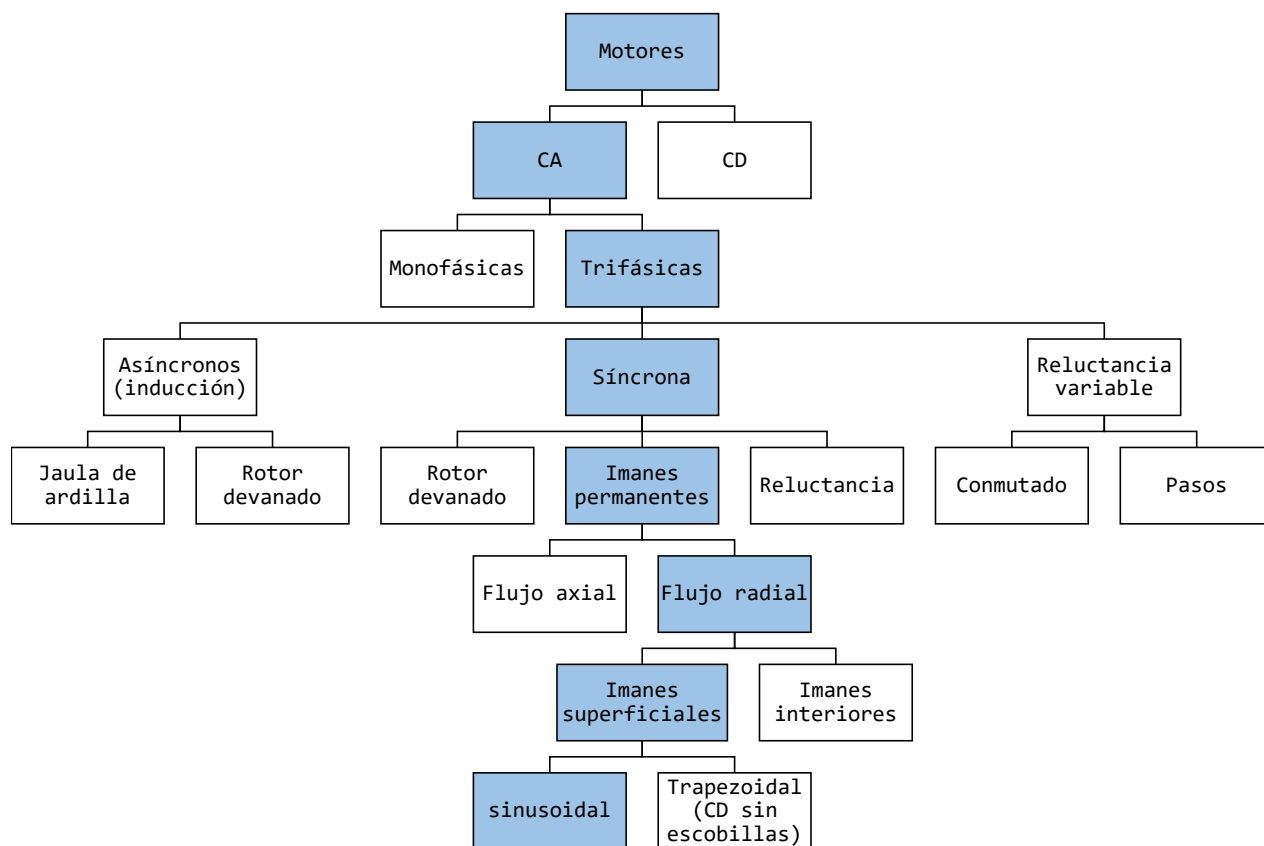


Figura 1.6: Clasificación de los motores.

1.9.2. Inversor multinivel Trifásico.

El objetivo principal que tiene la electrónica de potencia es realizar de manera eficiente la conversión de la energía eléctrica, lo que se consigue mediante rectificadores (convertidores de corriente alterna a corriente directa), cicloconvertidores (convertidores de corriente alterna a corriente alterna), fuentes conmutadas (convertidores de corriente directa a corriente directa) y de inversores (convertidores de corriente directa a corriente alterna) [35]; este último es requerido para alimentar a los MSIP, el cual deberá ser un inversor trifásico. Existen gran variedad de inversores, de los cuales podemos mencionar el inversor trifásico de dos niveles, que consta de medio puente para cada fase, agregando dos dispositivos de conmutación más en cada fase podemos completar un puente completo para producir 3 niveles. Existen 3 tipos principales de inversores multinivel:

- **Diodos de enclavamiento;** cuya construcción requiere $n-1$ condensadores en el bus de CD, $2(n-1)$ interruptores para n niveles de tensión deseados a la salida y $(n-1)(n-2)$

diodos de enclavamiento por fase.

- **Capacitores flotantes;** la estructura es parecida al de diodos de enclavamiento pero utiliza condensadores en lugar de diodos para establecer los niveles de tensión, requiere $n - 1$ condensadores en el bus de CD, $2(n - 1)$ interruptores para n niveles de tensión deseados a la salida y $(n - 1)(n - 2)/2$ capacitores auxiliares por fase.
- **Celdas en cascada;** Su configuración está basada en la conexión en cascada de inversores puente completo (celdas), en los cuales las fuentes de CD son independientes de cada inversor conectado.

Esta clasificación se resume en la Fig. 1.7.

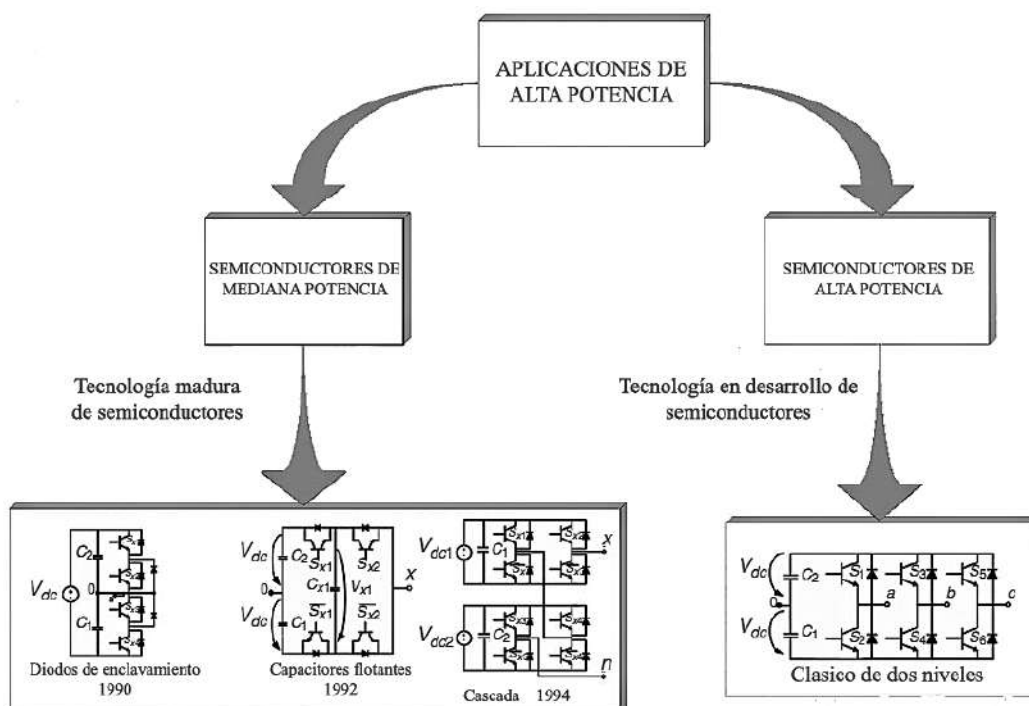


Figura 1.7: Comparativa del inversor clásico de dos niveles (derecha) y la topología multinivel en relación a la tecnología de semiconductor que emplean [27].

Un convertidor multinivel presenta algunas ventajas en comparación de un convertidor convencional de dos niveles tales como:

- A mayor cantidad de niveles en la onda de salida la THD disminuye, reduciéndose proporcionalmente el peso y tamaño del filtro de salida del inversor (en caso de requerirse).
- El voltaje de salida en un inversor multinivel presenta un contenido armónico menor que el de un inversor convencional implementado bajo las mismas condiciones de operación.
- La potencia de los inversores se incrementa al elevar el número de niveles de tensión, sin necesidad de incrementar la corriente, evitando así mayores pérdidas durante la

conducción y mejorando el rendimiento del inversor [35].

En la Fig. 1.8, se muestra un comparativo de las señales de salida de un inversor de puente completo de dos niveles, de tres niveles y un inversor multinivel de nueve niveles. Se puede notar que, el inversor multinivel tiene la forma de onda más semejante a la sinusoidal.

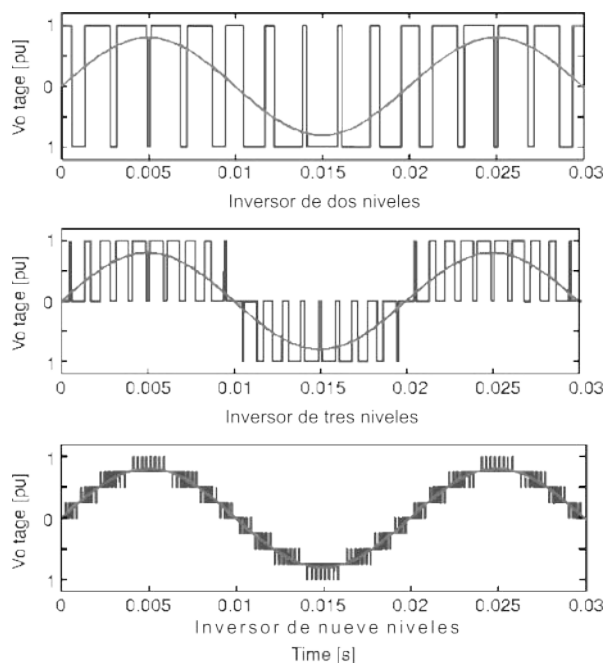


Figura 1.8: Comparación del voltaje de salida de algunos inversores [27].

Las técnicas de modulación empleadas en las estructuras multinivel tradicionales (ver Fig. 1.9) fueron revisadas en [3, 27, 36–38] y los autores de estos trabajos reconocen a la técnica de modulación PS-PWM³ como la más adecuada para la topología multinivel en cascada.

La complejidad que involucra el trabajo en lazo cerrado con el inversor multinivel en cascada depende directamente con el número de niveles que se utilicen en la estructura. En general si N_s representa el número de fuentes de poder aisladas, la relación entre el número de niveles y la cantidad de canales PWM necesarios viene dada por las siguientes expresiones:

$$m = 2N_s + 1 \quad (1.2)$$

$$l = 2(m - 1) \quad (1.3)$$

Donde:

N_s = número de fuentes aisladas.

m = número de niveles en la onda de salida.

l = número de canales PWM para la operación de la estructura multinivel.

³(Phase Shifted PWM)(PWM por corrimiento de fase) Esta técnica es parecida a la empleada en los convertidores de dos niveles, con la diferencia que en ésta se usa más de una portadora.

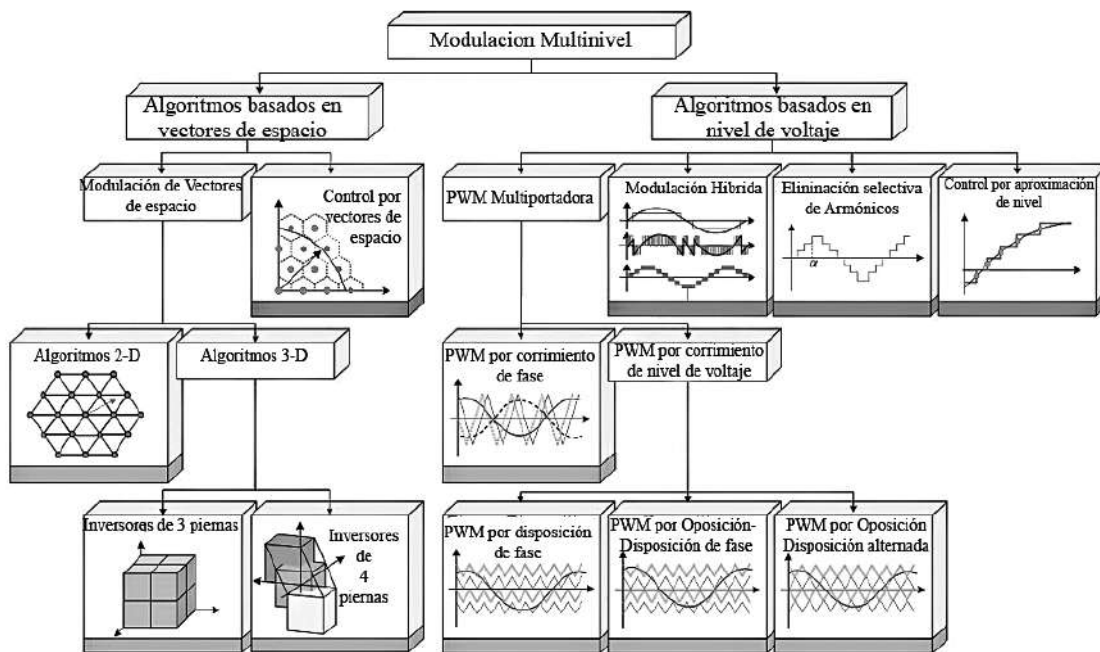


Figura 1.9: Clasificación de los métodos de modulación para convertidores multinivel [27].

En ese sentido, actualmente los microprocesadores que se adquieren en el mercado y que poseen generadores PWM, no pueden proveer los pulsos PWM para los convertidores multimodulares o convertidores multinivel [25], por lo que en [3, 39–41], emplean un FPGA para hacer el generador multicanal PWM.

Para este trabajo se utilizara un inversor multinivel de celdas en cascada. Esta configuración se basa en celdas conectadas en serie para sumar los voltajes y obtener los 5 niveles deseados. En la Fig. 1.10 se muestra el diagrama eléctrico de un inversor trifásico multinivel de 5 niveles, cada recuadro de color representan las fases. Cada rama consta de 2 celdas en cascada, el neutro de cada fase se une, formando una conexión tipo estrella.

En la Fig. 1.11 se puede observar como se genera el voltaje de salida en el inversor, en donde se marca con color rojo los mosfets activados (cerrados) y el camino de la corriente. Se puede observar que para el primer nivel de voltaje únicamente se emplea una fuente de CD, para el segundo nivel, las dos fuentes se conectan en serie sumando sus voltajes, para los niveles negativos, se cambia la polaridad de las fuentes y para el nivel 0 ninguna fuente está involucrada.

A sí mismo en la Tabla 1.1 se representan los estados de conmutación de los interruptores para generar los niveles de voltaje.

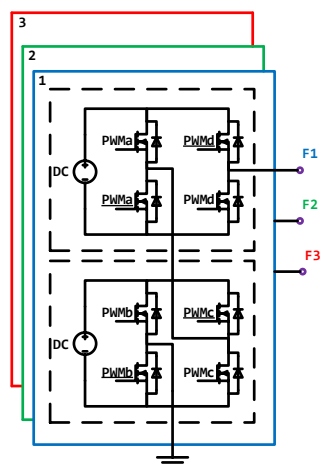


Figura 1.10: Configuración del inversor trifásico.

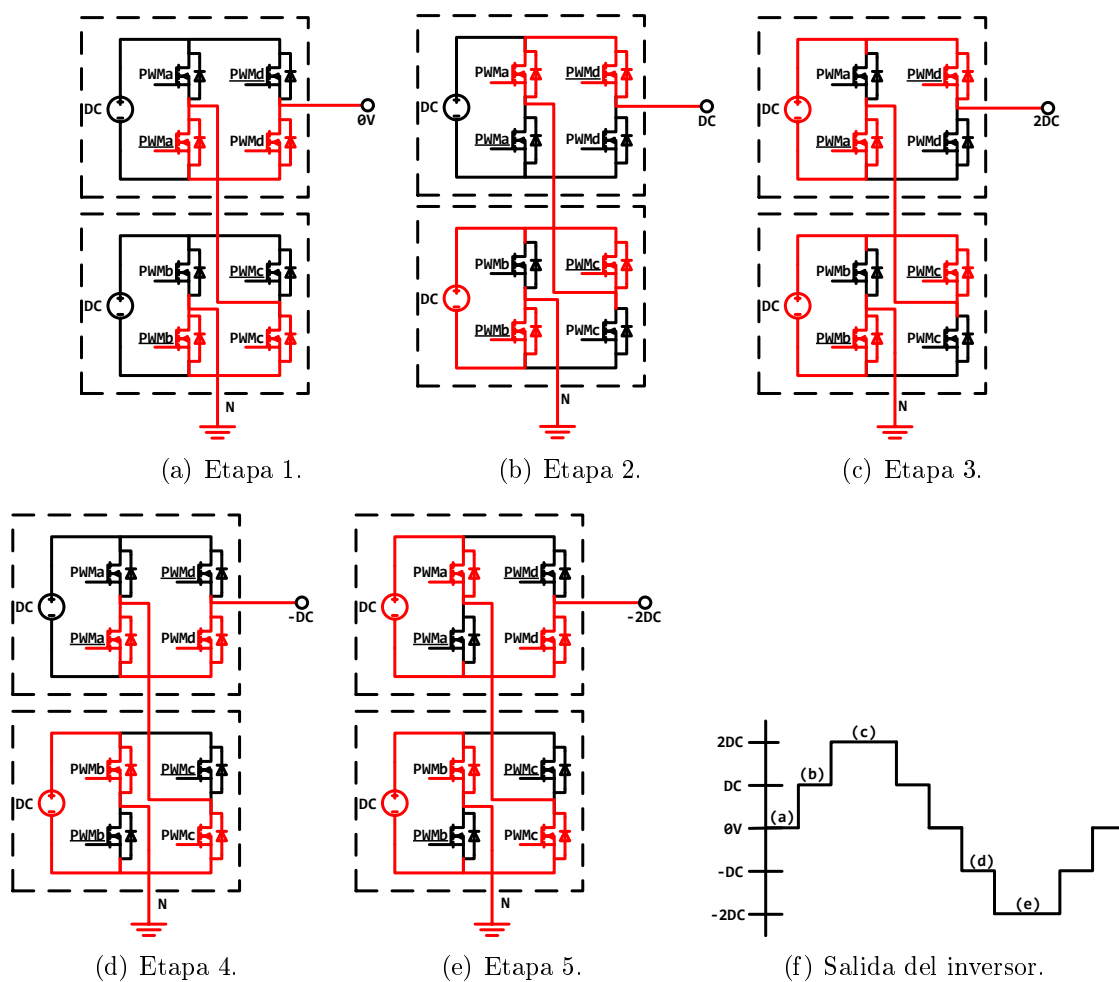


Figura 1.11: Descripción del funcionamiento del inversor trifásico de celdas en cascada de 5 niveles (solo una fase).

Etapa	PWMA	PWMB	PWMC	PWMD	V
1	0	0	1	1	0
2	1	0	0	0	DC
3	0	0	0	0	2DC
4	0	1	1	1	-DC
5	1	1	1	1	-2DC

Tabla 1.1: Estados de conmutación de las etapas del inversor.

1.9.3. Aplicaciones industriales de los FPGAs.

Los Arreglos de compuertas programables en campo (FPGAs) por sus siglas en ingles son dispositivos que se basan en arreglos de compuertas, este consiste en 3 elementos reconfigurables: bloques lógicos configurables (CLB), bloques de entrada y de salida (IOB) y líneas de interconexión. Internamente un FPGA contiene un arreglo de CLBs comunicados entre sí y con las terminales de los IOBs por medio de líneas metálicas que corren vertical y horizontalmente entre cada bloque, estas líneas también son programables, esto se ilustra en la Figura 1.12 [42].

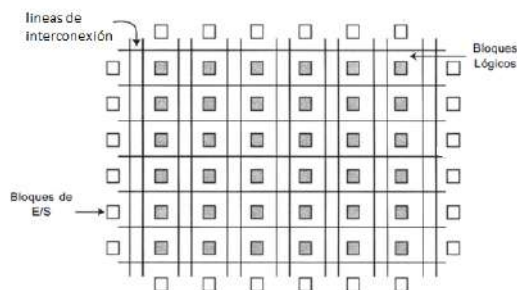


Figura 1.12: Arquitectura básica de un FPGA [42]

Una de las grandes ventajas al diseñar sistemas digitales mediante dispositivos lógicos programables radica en el bajo costo de los recursos requeridos para el desarrollo de estas aplicaciones.

Actualmente, la mayoría de los controladores digitales se basan en microcontroladores o DSP, estas soluciones tienen dos inconvenientes principales, tales como el tiempo de ejecución de los algoritmos de control y la falta de flexibilidad para interactuar con el entorno analógico (ADC y DAC) [43]. Ambos inconvenientes se pueden reducir de manera drástica mediante el uso de FPGA, gracias a estas ventajas podemos aumentar el rendimiento de estos controladores.

La teoría de control basada en sistemas continuos ha alcanzado este objetivo durante mucho tiempo proporcionando herramientas para garantizar la estabilidad y la convergencia asintótica de los algoritmos de control. Sin embargo, es difícil obtener este grado de control en sistemas no lineales en tiempo discreto. Esto se debe a que la transformada Z, la herramienta de análisis común para sistemas de tiempo discretos, no es aplicable a sistemas no lineales. Además, los

retrasos en el cálculo son inevitables en las implementaciones de control siempre que se usen DSP o CPU, por lo que da como resultado sistemas discretos por naturaleza. Para enfrentar este desafío, una solución obvia es mejorar la teoría de control no lineal en tiempo discreto, aunque esto es muy difícil. La otra solución es diseñar aplicaciones de control de sistema en tiempo casi-continuo con un enfoque basado en FPGA [44].

Uno de los principales impedimentos para una adopción más amplia de la lógica reconfigurable como un nuevo paradigma es la complejidad de la programación de los FPGAs y la necesidad de cierta experiencia en el diseño de hardware para dominarlos. La penetración industrial estuvo condicionada por el conocimiento limitado de la tecnología y las herramientas de diseño, la falta de madurez de estas herramientas, el precio y la falta de algunas funcionalidades de hardware especializadas.

A medida que la tecnología de los FPGAs evolucionó se aprovechó la reducción de la tecnología de fabricación, los proveedores comenzaron a desarrollar núcleos de propiedad intelectual (IP cores) que pueden implementarse a partir de recursos de un FPGA estándar. Esta tendencia ha experimentado un desarrollo continuo, por lo que las soluciones actuales son innumerables. La disponibilidad de IP cores adecuados puede simplificar drásticamente el diseño de sistemas complejos. Las áreas en donde son más utilizados son la automotriz, de transporte, electrónica de consumo, criptografía, comunicaciones, atención médica y sanitaria [43].

La capacidad de procesamiento en tiempo real es un requisito fundamental en muchas aplicaciones industriales, donde los bucles de control deben exhibir una alta frecuencia de operación y baja latencia, al mismo tiempo en que se ejecutan algoritmos de alta complejidad. Los DSP se han utilizado ampliamente en esta área. Sin embargo, su procesamiento secuencial inherente da como resultado una alta latencia cuando se ejecutan algoritmos complejos. Además, la habilidad del sistema para incluir sensores o actuadores adicionales es muy limitada. En este contexto, el uso de los FPGA actuales permite lograr un mejor rendimiento y precisión, así como un funcionamiento en tiempo real o tolerancia a fallos [43].

Actualmente los FPGAs tienen aplicaciones en la industria automotriz, en las telecomunicaciones, en computadoras y almacenamiento de datos, en los sectores médico, militar y hasta en la industria aeroespacial [45] y se perfila en un futuro para dar solución a las necesidades de la futura conectividad 5G, visión por computadora empotrada, internet de las cosas (IoT) y computación en la nube [46]. El interés es tan grande que compañías como Microsoft, Amazon, Intel (que en 2015 compró a Altera) y Xilinx han realizado esfuerzos para demostrar que los FPGA y su lógica reconfigurable, pueden superar soluciones tradicionales con Microprocesadores y GPU (Graphic Processor Unit) y hasta superan la propuesta de Google de crear sus propios circuitos integrados de aplicación específica (ASIC) para sus TPU (Tensor Processing Unit) los cuales utiliza en todos sus servicios, desde el famoso motor de búsqueda, el traductor y los mapas [47–50].

Los FPGAs son definitivamente una solución atractiva para implementar sistemas de control digital de convertidor de potencia cada vez más exigentes. Entre los nuevos requisitos en electrónica de potencia, podemos mencionar la integración, la segmentación de la potencia y la fiabilidad. De hecho, el nivel de integración es cada vez más alto, especialmente para aplicaciones integradas donde la expectativa de reducción de volumen y peso es importante. Al hacerlo,

se puede lograr una reducción significativa en el tamaño del filtro pasivo. Una consecuencia inmediata de esto es el aumento de la frecuencia de conmutación de los convertidores de potencia, que a su vez implica un período de muestreo más corto para el controlador. El objetivo perseguido por la segmentación es la reducción en la tensión de los interruptores de potencia a través de estructuras intercaladas y multinivel. Tal enfoque introduce un nivel significativo de paralelismo en el sistema que, una vez más, se adapta perfectamente a los controladores basados en FPGA [28]. En diversos trabajos como en [3, 5, 51] recalcan la importancia del uso de FPGAs en electrónica de potencia.

En cualquier fábrica o industria, encontramos una gran variedad de máquinas con un elemento en común: motores eléctricos. Los motores y el control de los mismos es muy común en cualquier diseño industrial. La mayoría de los sistemas de control de motores están diseñados con tecnologías de microcontroladores. Sin embargo, los microcontroladores pueden no estar a la altura de las demandas de rendimiento para los sofisticados algoritmos de control de motores; algunos ejemplos son, el control de par directo (DTC) o el control de campo orientado sin sensor (SFOC).

Los DSP se han utilizado en el pasado para solucionar ese problema, pero generalmente no pueden igualar de manera rentable a un FPGA cuando se trata de alto rendimiento en términos de capacidad de procesamiento. La tecnología FPGA nos permite construir nuestros propios módulos IP que se puede personalizar fácilmente para trabajar en otros controladores de motor. Existen varias ventajas al usar un FPGA para el control de motores en lugar de un microcontrolador [52]

- Integración del sistema: menos piezas conducen a menores costos de material, menores requisitos de energía y menos desafíos de confiabilidad al integrar redes industriales, seguridad, interfaces de etapa de potencia y algoritmos de control DSP en un solo dispositivo.
- Rendimiento escalable: puede usar una única plataforma escalable en toda una línea de productos. Los FPGA le permiten lograr un mayor rendimiento con lazos de control más rápidos y avanzados que pueden aumentar la eficiencia y la vida útil de la maquinaria.
- Seguridad funcional: a medida que la automatización asume una mayor responsabilidad por el funcionamiento de equipos potencialmente peligrosos, las regulaciones requieren que la electrónica del controlador de la máquina garantice que no se produzcan daños. Con un FPGA y el flujo de diseño adecuado, puede reducir el tiempo y el esfuerzo de cumplir con estas normativas de seguridad gubernamentales e industriales [52].

Capítulo 2

Fase 1: Modelado, análisis y simulación del sistema

En este capítulo se realizan las primeras tres etapas de diseño que tienen que ver con el modelado del sistema dinámico, el análisis de sus propiedades matemáticas y la simulación del controlador propuesto.

2.1. Modelado

2.1.1. Pasividad y modelo dinámico

Los sistemas pasivos son una clase de sistemas dinámicos en los que la energía intercambiada con el entorno juega un papel central. En los sistemas pasivos, la velocidad a la que la energía fluye hacia el sistema no es menor que el aumento en el almacenamiento. En otras palabras, un sistema pasivo no puede almacenar más energía de la que se le suministra desde el exterior, con la diferencia de ser la energía disipada.

Con la finalidad de representar el comportamiento de un sistema con estructura pasiva. Se considera un sistema lineal, controlable e invariante en el tiempo, la cual presenta la estructura siguiente,

$$\mathbf{A}\dot{\mathbf{x}} = \mathbf{J}\mathbf{x} - \mathbf{R}\mathbf{x} + \mathbf{B}\mathbf{u} \quad (2.1)$$

donde:

- \mathbf{x} : Representa los estados del sistema $\in \mathbb{R}^n$.
- \mathbf{u} : Es la entrada de control que depende de la trayectoria de referencia y del error de la salida pasiva variante en el tiempo $\in \mathbb{R}^m$.
- \mathbf{A} : Es una matriz $n \times n$ de coeficientes constantes simétrica y definida positiva.
- \mathbf{J} : Es una matriz $n \times n$ antisimétrica que representa la característica conservativa del sistema.

- **R**: Es una matriz $n \times n$ simétrica, semidefinida positiva y constante que representa la característica disipativa del sistema.
- **B**: Es una matriz $n \times m$ de coeficientes constantes que representa los canales de entrada de control al sistema o adquisición de energía al sistema.

El modelo para el MSIP de este trabajo se obtuvo de [53], el cual se encuentra en el eje coordenado $d - q$, por tanto es necesario calcular los voltajes de entrada $u = [u_d \ u_q]$ y las corrientes de entrada $i = [i_d \ i_q]$ en el mismo eje coordenado. El modelo queda expresado por medio de la ec. (2.2). Para el diseño del controlador se supone conocido a la velocidad angular y el par de carga, posteriormente se demuestra la estabilidad completa. Para comenzar con el diseño del controlador por retroalimentación de la salida pasiva, se considera el siguiente modelo en el eje coordenado $d - q$:

$$\begin{aligned}
 L \frac{di_d}{dt} &= -r_e i_d + L i_q n_p \omega + u_d \\
 L \frac{di_q}{dt} &= -r_e i_q - L i_d n_p \omega - K_m \omega + u_q \\
 J \frac{d\omega}{dt} &= \frac{3}{2} K_m i_q - D \omega - T_L
 \end{aligned} \tag{2.2}$$

Donde:

- L : Inductancia de la bobina de armadura.
- r_e : Resistencia de la bobina armadura.
- n_p : Numero de pares de polos.
- J : Momento de inercia del rotor.
- K_m : Constante de la fuerza contraelectromotriz.
- D : Coeficiente de fricción.
- T_L : Torque aplicado en la flecha del motor.
- w : Velocidad angular de la flecha del motor.
- i_d : Corriente en el eje d.
- i_q : Corriente en el eje q.
- u_d : Entrada de voltaje en el eje d.
- u_q : Entrada de voltaje en el eje q.

Representado el sistema de ecuaciones (2.2) en su forma matricial y reescribiendo en su forma pasiva, se tiene lo siguiente:

$$\begin{aligned}
 \mathbf{A}\dot{\mathbf{x}} &= [\mathbf{J}(y) - \mathbf{R}]\mathbf{x} + \mathbf{B}\mathbf{u} - \mathbf{N}\eta, \mathbf{x} \in \mathbb{R}^3, \mathbf{u} \in \mathbb{R}^2 \\
 y_1 &= i_d \\
 y_2 &= i_q
 \end{aligned} \tag{2.3}$$

El vector de estados es:

$$\mathbf{x}^T(t) = (i_d, i_q, \omega) \quad (2.4)$$

Donde,

$$\mathbf{A} = \text{diag} \left(L \quad L \quad \frac{2}{3}J \right); \mathbf{N} = \text{diag} \left(1 \quad 1 \quad 1 \right); \quad (2.5)$$

$$\mathbf{J}(y) = \underbrace{\begin{pmatrix} 0 & 0 & 0 \\ 0 & 0 & -k_m \\ 0 & k_m & 0 \end{pmatrix}}_{:=J_0} + y \underbrace{\begin{pmatrix} 0 & n_p L & 0 \\ -n_p L & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix}}_{:=yJ_1} \quad (2.6)$$

$$\mathbf{R} = \begin{pmatrix} r_e & 0 & 0 \\ 0 & r_e & 0 \\ 0 & 0 & \frac{2}{3}D \end{pmatrix}; \mathbf{B} = \begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 0 & 0 \end{pmatrix}; \eta = \begin{pmatrix} 0 \\ 0 \\ \frac{2}{3}T_L \end{pmatrix} \quad (2.7)$$

En la expresión (2.6) J_0 y J_1 son matrices constantes y antisimétricas, y es un escalar que representa la salida del sistema, además de ser una de las variables del vector de estado x ; R es una matriz simétrica semi-definida positiva y B es una matriz constante que contiene las entradas de control. Para comprobar que el sistema promedio no lineal del MSIP dado en (2.2) es pasivo, se hace uso de las definiciones de pasividad y disipatividad. Por lo que se obtiene la siguiente función de energía que almacena el sistema, dado por:

$$\Phi(x) = \frac{1}{2}Li_d^2 + \frac{1}{2}Li_q^2 + \frac{1}{3}J\omega^2 \quad (2.8)$$

Cuya primera derivada con respecto al tiempo, es dada por:

$$\dot{\Phi}(x) = L\frac{di_d}{dt}i_d + L\frac{di_q}{dt}i_q + \frac{2}{3}J\frac{d\omega}{dt}\omega \quad (2.9)$$

Sustituyendo el modelo matemático (2.2) en (2.9) y después de algunas operaciones matemáticas se demuestra lo siguiente:

$$\dot{\Phi}(x) = i_d u_d + i_q u_q - r_e(i_d^2 + i_q^2) - \frac{2}{3}D\omega - \frac{2}{3}T_L \leq i_d u_d + i_q u_q = uy \quad (2.10)$$

Esto indica que el sistema (2.2) es disipativo y se concluye que el sistema es pasivo-disipativo, debido a que la potencia de salida es menor o igual a la potencia de entrada [54].

Dado que el sistema es pasivo-disipativo en la siguiente sección se procede al diseño del controlador por retroalimentación de la salida pasiva.

2.2. Análisis

2.2.1. Control por ETEDPOF

El control basado en la Retroalimentación de la Salida Pasiva de la Dinámica Exacta del Error de Seguimiento por sus siglas en inglés¹, es un método que parte de la construcción de

¹ETEDPOF: Exact Tracking Error Dynamics Passive Output Feedback

la dinámica del error de seguimiento por medio de un modelo de referencia no perturbado, el cual utiliza como variable de retroalimentación la salida pasiva del error de seguimiento, con ello se diseña un controlador para regulación y seguimiento del sistema pasivo. La metodología del controlador basado en pasividad por retroalimentación de la salida pasiva moldea la energía en lazo cerrado y aumenta el amortiguamiento en lazo cerrado del sistema.

Sea $u^* \in \mathbb{R}^2$ un vector el cual denota la trayectoria de entrada nominal correspondiente a la trayectoria del vector de estado nominal, $x^*(t) \in \mathbb{R}^3$. Se construye la dinámica de referencia del sistema, la cual satisface la siguiente expresión:

$$\mathbf{A}\dot{\mathbf{x}}^* = [\mathbf{J}(\mathbf{y}^*) - \mathbf{R}]\mathbf{x}^* + \mathbf{B}\mathbf{u}^* - \mathbf{N}\eta^* \quad (2.11)$$

Donde \mathbf{y} es una de las variables del estado \mathbf{x} , expresado como $\mathbf{y} = \mathbf{l}_i^T \mathbf{x}$ tal que \mathbf{l}_i^T es un vector renglón de 0's excepto por 1 en la i -ésima entrada. Entonces $\mathbf{y} = \mathbf{l}_3^T \mathbf{x}$, ya que depende solo del tercer estado ω . Mientras que el vector renglón $(\eta^*)^T = (0, 0, -\widehat{T}_L)$ contiene el par de carga estimado.

Se construye la dinámica del error de seguimiento mediante la resta miembro a miembro de (2.3) y (2.11), tal como sigue:

$$\mathbf{A}\dot{\mathbf{x}} - \mathbf{A}\dot{\mathbf{x}}^* = \mathbf{J}(y)\mathbf{x} - \mathbf{R}\mathbf{x} + \mathbf{B}\mathbf{u} - \mathbf{B}\eta - \mathbf{J}(\mathbf{y}^*)\mathbf{x}^* + \mathbf{R}\mathbf{x}^* - \mathbf{B}\mathbf{u}^* + \mathbf{B}\eta^* \quad (2.12)$$

Se define el error de seguimiento $\mathbf{e} = \mathbf{x} - \mathbf{x}^*$, el error de la entrada de control $\mathbf{e}_u = \mathbf{u} - \mathbf{u}^*$, y el error de la entrada de la perturbación $\mathbf{e}_\eta = \eta - \eta^*$ y tomando en cuenta que $\mathbf{J}(\mathbf{y}) = \mathbf{J}_0 + \mathbf{y}\mathbf{J}_1$, entonces:

$$\mathbf{A}\dot{\mathbf{e}} = (\mathbf{J}_0 + \mathbf{y}\mathbf{J}_1)\mathbf{x} - \mathbf{R}\mathbf{x} + \mathbf{B}\mathbf{u} - \mathbf{N}\eta - (\mathbf{J}_0 + \mathbf{y}^*\mathbf{J}_1)\mathbf{x}^* + \mathbf{R}\mathbf{x}^* - \mathbf{B}\mathbf{u}^* + \mathbf{N}\eta^* \quad (2.13)$$

Reduciendo y simplificando términos, se tiene que

$$\mathbf{A}\dot{\mathbf{e}} = \mathbf{J}_0\mathbf{e} + \mathbf{y}\mathbf{J}_1\mathbf{x} - \mathbf{y}^*\mathbf{J}_1\mathbf{x}^* - \mathbf{R}\mathbf{e} + \mathbf{B}\mathbf{e}_u - \mathbf{N}\mathbf{e}_\eta \quad (2.14)$$

Con el fin de seguir reduciendo la ecuación anterior, se agrega un término cero $(\mathbf{y}\mathbf{J}_1\mathbf{x}^* - \mathbf{y}^*\mathbf{J}_1\mathbf{x}^*)$ y se cumple lo siguiente

$$\begin{aligned} \mathbf{A}\dot{\mathbf{e}} &= \mathbf{J}_0\mathbf{e} + \mathbf{y}\mathbf{J}_1\mathbf{x} - \mathbf{y}^*\mathbf{J}_1\mathbf{x}^* + \mathbf{y}\mathbf{J}_1\mathbf{x}^* - \mathbf{y}^*\mathbf{J}_1\mathbf{x}^* - \mathbf{R}\mathbf{e} + \mathbf{B}\mathbf{e}_u - \mathbf{N}\mathbf{e}_\eta \\ &= \mathbf{J}_0\mathbf{e} + \mathbf{y}\mathbf{J}_1\mathbf{x} + \mathbf{J}_1\mathbf{x}^*(\mathbf{y} - \mathbf{y}^*) - \mathbf{R}\mathbf{e} + \mathbf{B}\mathbf{e}_u - \mathbf{N}\mathbf{e}_\eta \\ &= \mathbf{J}(\mathbf{y})\mathbf{e} - \mathbf{R}\mathbf{e} + \mathbf{B}\mathbf{e}_u + \mathbf{J}_1\mathbf{x}^*\mathbf{l}_3\mathbf{e} - \mathbf{N}\mathbf{e}_\eta \end{aligned} \quad (2.15)$$

Definiendo a \mathbf{M}_3 como una matriz de 3×3 , dada por:

$$\begin{aligned} \mathbf{M}_3 = \mathbf{J}_1\mathbf{x}^*\mathbf{l}_3 &= \begin{pmatrix} 0 & n_p L & 0 \\ -n_p L & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix} \begin{pmatrix} i_d^* \\ i_q^* \\ \omega^* \end{pmatrix} (0 \ 0 \ 1) \\ &= n_p L \begin{pmatrix} 0 & 0 & i_d^* \\ 0 & 0 & -i_q^* \\ 0 & 0 & 0 \end{pmatrix} \end{aligned}$$

Después la matriz \mathbf{M}_3 se descompone en dos matrices mediante la utilización del álgebra de matrices, y así, se consigue una matriz simétrica y una matriz antisimétrica, teniendo como resultado:

$$\mathbf{M}_3 = \frac{1}{2}n_p L \underbrace{\begin{pmatrix} 0 & 0 & i_d^* \\ 0 & 0 & -i_q^* \\ -i_d^* & i_q^* & 0 \end{pmatrix}}_{\mathbf{W}_3} + \frac{1}{2}n_p L \underbrace{\begin{pmatrix} 0 & 0 & i_d^* \\ 0 & 0 & -i_q^* \\ i_d^* & -i_q^* & 0 \end{pmatrix}}_{\mathbf{S}_3}$$

Posteriormente \mathbf{W}_3 se suma a la matriz conservativa $\mathbf{J}(\mathbf{y})$, y \mathbf{S}_3 se suma a la parte disipativa \mathbf{R} . Con esta operación se consigue la ecuación de la dinámica del error de seguimiento, expresada como:

$$\mathbf{A}\dot{\mathbf{e}} = \mathbf{J}^*(\mathbf{y})\mathbf{e} - \mathbf{R}^*\mathbf{e} + \mathbf{B}\mathbf{e}_u \quad (2.16)$$

donde $\mathbf{J}^*(\mathbf{y}) = \mathbf{J}(\mathbf{y}) + \mathbf{M}_3$ y $\mathbf{R}^* = \mathbf{R} + \mathbf{S}_3$, esto sin perder la propiedad de simetría y antisimetría que se requiere para aplicar el método por retroalimentación de la salida pasiva. Por otro lado, se asume que el par de carga estimado \hat{T}_L es aproximadamente igual al valor de T_L , es decir, el valor de e_η converge asintóticamente exponencialmente a cero, es decir, $e_\eta = 0$. Por lo tanto, se tiene que la dinámica del error de seguimiento, se representa como:

$$\mathbf{A}\dot{\mathbf{e}} = \mathbf{J}^*(\mathbf{y})\mathbf{e} - \mathbf{R}^*\mathbf{e} + \mathbf{B}\mathbf{e}_u \quad (2.17)$$

Si se considera a $\mathbf{R}^* > 0$ es decir definida positiva entonces se satisface la siguiente condición,

$$\mathbf{R}^* = \begin{pmatrix} r_e & 0 & -\frac{1}{2}n_p Li_q^* \\ 0 & r_e & \frac{1}{2}n_p Li_d^* \\ -\frac{1}{2}n_p Li_q^* & \frac{1}{2}n_p Li_d^* & \frac{2}{3}D \end{pmatrix} > 0 \quad (2.18)$$

Haciendo uso del criterio del Sylvester, se verifica que $\mathbf{R}^* > 0$, es decir, es una matriz semidefinida positiva. Así, se debe cumplir que:

$$\det |\mathbf{R}^*| = \frac{2}{3}r_e D - \frac{1}{4}n_p^2 L^2 [(i_d^*)^2 + (i_q^*)^2] > 0 \quad (2.19)$$

Siguiendo con la metodología de diseño del controlador mediante Lyapunov, Se propone a $\mathbf{e}_u = -\delta \mathbf{B}^T \mathbf{e}$, donde

$$\delta = \begin{pmatrix} \delta_1 & 0 \\ 0 & \delta_2 \end{pmatrix} > 0; \delta_1, \delta_2 > 0$$

Siendo δ una matriz definida positiva, tal que

$$\begin{pmatrix} u_d \\ u_q \end{pmatrix} = \begin{pmatrix} u_d^* \\ u_q^* \end{pmatrix} - \begin{pmatrix} \delta_1 & 0 \\ 0 & \delta_2 \end{pmatrix} \begin{pmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \end{pmatrix} \begin{pmatrix} i_d - i_d^* \\ i_q - i_q^* \\ \omega - \omega^* \end{pmatrix} \quad (2.20)$$

De acuerdo a la función candidata de Lyapunov, se tiene que

$$\dot{V}(e) = -e^T \mathbf{R}^* e - e^T \mathbf{B} \delta \mathbf{B}^T e \quad (2.21)$$

$$= -e^T [\mathbf{R}^* + \mathbf{B} \delta \mathbf{B}^T] e \quad (2.22)$$

Se define a la matriz $\mathbf{R}_d = \mathbf{R}^* + \mathbf{B} \delta \mathbf{B}^T > 0$, como una matriz definida positiva, tal que.

$$\mathbf{R}_d = \mathbf{R}^* + \mathbf{B} \delta \mathbf{B}^T = \begin{pmatrix} r_e + \delta_1 & 0 & \frac{1}{2} n_p L i_q^* \\ 0 & r_e + \delta_2 & -\frac{1}{2} n_p L i_d^* \\ \frac{1}{2} n_p L i_q^* & -\frac{1}{2} n_p L i_d^* & \frac{2}{3} D \end{pmatrix} > 0 \quad (2.23)$$

Obteniendo el determinante de \mathbf{R}_d , se satisface la siguiente condición

$$(r_e + \delta_1)(r_e + \delta_2) \frac{2}{3} D - \frac{1}{4} n_p^2 L^2 [(r_e + \delta_1)(i_d^*)^2 + (r_e + \delta_2)(i_q^*)^2] > 0 \quad (2.24)$$

Considerando a $\delta_1 = \delta_2 = \delta > 0$ entonces la expresión anterior queda de la siguiente forma

$$\frac{2}{3} (r_e + \delta) D - \frac{1}{4} n_p^2 L^2 [(i_d^*)^2 + (i_q^*)^2] > 0 \quad (2.25)$$

Se puede observar que con escoger positivo el valor de δ , se inyecta amortiguamiento virtual, causando la estabilidad asintótica del sistema.

De la ecuación (2.20) obtenemos las leyes de control que actuarán sobre el sistema, quedando de la siguiente forma:

$$u_d = u_d^* - \delta_1 (i_d - i_d^*) \quad (2.26)$$

$$u_q = u_q^* - \delta_2 (i_q - i_q^*)$$

2.2.2. Obtención de los puntos de equilibrio

Los puntos de equilibrio nos servirán para calcular las corrientes $i_d^*, i_q^*, u_d^*, u_q^*$ deseadas, para una referencia de velocidad w^* . Tomando las ecuaciones (2.2), se igualan las derivadas a cero y se sustituyen los valores deseados, por lo tanto se tiene:

$$0 = L i_q^* n_p \omega^* + u_d \quad (2.27)$$

$$0 = -r_e i_q^* - K_m \omega^* + u_q \quad (2.28)$$

$$0 = \frac{3}{2} K_m i_q^* - D \omega^* - T_L \quad (2.29)$$

Despejando obtenemos:

$$\begin{aligned} i_d^* &= 0 \\ i_q^* &= \frac{2}{3} \frac{D}{K_m} \omega^* + \frac{2}{3} \frac{T_L}{K_m} \\ u_d^* &= -L i_q^* n_p \omega^* \\ u_q^* &= r_e i_q^* + K_m \omega^* \end{aligned} \quad (2.30)$$

Planeación de las trayectorias de referencia

A partir de las expresiones para el control obtenidas en (2.20), se generan los voltajes y corrientes de referencia para el MSIP, tal que $u^{*T}(t) = [u_d^*(t), u_q^*(t)]$ y $i^{*T}(t) = [i_d^*(t), i_q^*(t)]$. La determinación de las trayectorias de referencia para $u^{*T}(t)$ e $i^{*T}(t)$, se basan en la propiedad de la planitud diferencial del sistema, de tal manera que el modelo $d-q$ dado en (2.2), es diferencialmente plano con salidas planas $i_d(t)$ y $\omega(t)$ (véase [55, 56]). Calculando las trayectorias de referencia deseadas para el controlador, se obtiene lo siguiente:

$$i_q^*(t) = \frac{2}{3} \left(\frac{J}{K_m} \dot{\omega}^*(t) + \frac{D}{K_m} \omega^*(t) + \frac{T_L}{K_m} \right) \quad (2.31)$$

$$\frac{di_q^*}{dt} = \frac{2}{3} \left(\frac{J}{K_m} \ddot{\omega}^*(t) + \frac{D}{K_m} \dot{\omega}^*(t) \right) \quad (2.32)$$

$$u_q^*(t) = L \frac{di_q^*}{dt} + r e i_q^* + K_m \omega^* \quad (2.33)$$

$$u_d^*(t) = L i_q^* n_p \omega^* \quad (2.34)$$

Las trayectorias obtenidas anteriormente están en función de las trayectorias de referencia de las salidas planas, y de sus derivadas temporales sucesivas. Las salidas planas de referencia deseadas son: ω^* e i_d^* . Para operar el MSIP a bajas velocidades y optimizar el par de carga, se propone una corriente de cuadratura nula ($i_d^*(t) = 0$) [57], la trayectoria de referencia en velocidad se obtiene a través de un polinomio de Beziér de 6^{to} orden definida de la siguiente función de transferencia:

$$\omega^*(s) = \frac{252w_{ref}}{126s^5 + 700s^4 + 1575s^3 + 1800s^2 + 1050s + 252} \quad (2.35)$$

2.2.3. Diseño del observador del parámetro del par de carga

Para diseñar y desarrollar un controlador eficiente y robusto, es necesario conocer todas las variables que perturban al sistema. Debido a que el controlador por retroalimentación de la salida pasiva del error requiere del conocimiento del parámetro del par de carga (ver ec. 2.30 y 2.31), por lo tanto se diseña un observador de orden reducido para estimar este parámetro junto con los términos de fricción no modelados. Se define la corriente de cuadratura, i_q , como la entrada de control, $u_l = i_q$, y se define a la velocidad angular estimada como la salida medida, $y_l = \omega$. Los valores nominales de los parámetros, J y K_m se consideran conocidos. Sustituyendo las variables u_l y y_l en la ecuación mecánica (2.2), se obtiene la siguiente expresión:

$$J \frac{dy_1}{dt} = \frac{3}{2} k_m u_1 - D y_1 - T_L \quad (2.36)$$

De la ecuación (2.36), se define a T_L como una medida indirecta del par de carga, considerándola como una constante desconocida, pero uniforme y absolutamente acotada (ver [58]), despejando a T_L de la ecuación (2.36), se obtiene lo siguiente:

$$T_L = \frac{3}{2} K_m i_q - \left[D y_1 + J \frac{dy_1}{dt} \right] \quad (2.37)$$

Se propone el siguiente observador de par como:

$$\frac{d\widehat{T}_L}{dt} = \lambda(T_L - \widehat{T}_L) \quad (2.38)$$

donde $\lambda > 0$. La dinámica del error de estimación está dado por:

$$e_{T_L} = T_L - \widehat{T}_L \quad (2.39)$$

$$\frac{de_{T_L}}{dt} = \frac{dT_L}{dt} - \frac{d\widehat{T}_L}{dt} \quad (2.40)$$

Por lo que, $\frac{dT_L}{dt} = 0$, y sustituyendo (2.38) en (2.40), se obtiene la siguiente dinámica del error de estimación:

$$\frac{de_{T_L}}{dt} = -\lambda e_{T_L} \quad (2.41)$$

Escogiendo una ganancia $\lambda > 0$, el error de observación e_{T_L} , converge a cero exponencialmente, cuando $t \rightarrow \infty$. Ahora, sustituyendo la ecuación (2.37) en (2.38), se tiene que:

$$\frac{d\widehat{T}_L}{dt} = \lambda \left[\frac{3}{2}K_m i_q - \left(Dy_1 + J \frac{dy_1}{dt} \right) - \widehat{T}_L \right] \quad (2.42)$$

Despejando y reordenando la ecuación anterior, se obtiene la siguiente expresión:

$$\frac{d\widehat{T}_L}{dt} + \lambda J \frac{dy_1}{dt} = \frac{3}{2}K_m u_1 - \lambda Dy_1 - \lambda \widehat{T}_L \quad (2.43)$$

Haciendo cambio de variable, se define $\psi = \widehat{T}_L + \lambda J y_1$, por lo que se obtiene el siguiente observador de orden reducido:

$$\frac{d\psi}{dt} = -\lambda\psi + (J\lambda - D)\lambda y_1 + \frac{3}{2}\lambda K_m i_q \quad (2.44)$$

$$\widehat{T}_L = \psi - \lambda J y_1 \quad (2.45)$$

El valor estimado del parámetro de par de carga junto con los términos de fricción desconocidos, T_L , se adaptan en línea a la ley de control de seguimiento suave de velocidad angular. El propósito de esta adaptación es disminuir los efectos producidos por la carga aplicada al eje del MSIP.

2.3. Simulaciones

2.3.1. Simulaciones del Inversor Multinivel

En este capítulo se describe la estructura del diagrama eléctrico a nivel simulación del inversor multinivel trifásico. Se utiliza el software PSIM para simular el funcionamiento de la topología propuesta del inversor multinivel y del modulador.

Desarrollo de la topología en PSIM

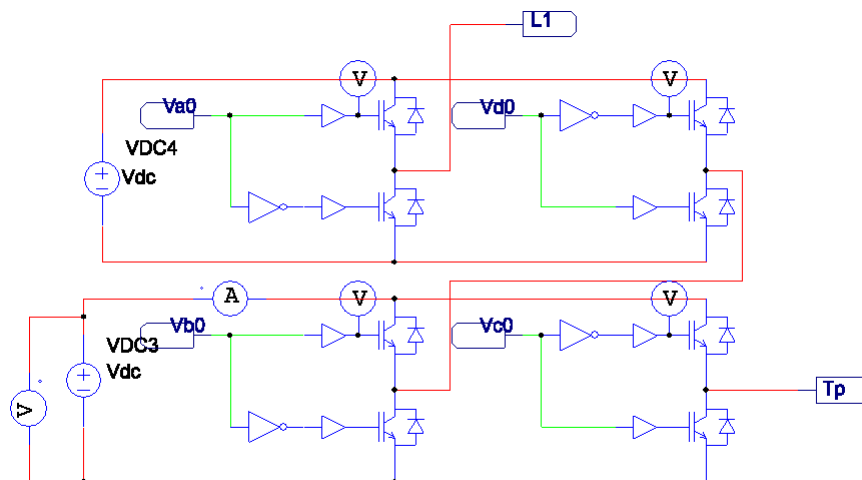


Figura 2.1: Diagrama del par de caldas para una fase.

Desarrollo de la técnica de modulación

La técnica de modulación empleada es PSPWM, la cual consiste, en el caso de un inversor de 5 niveles, en generar cuatro señales triangulares llamadas portadoras, desfasadas entre sí 90° , es decir, 0° , 90° , 180° y 270° respectivamente a una frecuencia de 1.2kHz. Estas señales se comparan con una función sinusoidal llamada moduladora, la cual está a una frecuencia de 60Hz; cada vez que la señal portadora sea mayor o igual a la moduladora, se obtiene un uno lógico, y en caso contrario se tiene un cero lógico. De esta manera se generan las señales PWM que activan los MOSFETs. Cada fase contiene una moduladora desfasada 120° con respecto de las otras fases. En la Fig. 2.2 se muestra el diagrama que genera la modulación PSPWM.

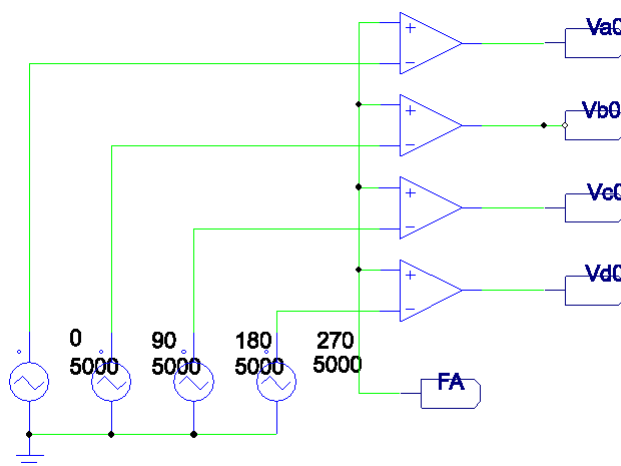


Figura 2.2: Diagrama para la generación de las señales PWMs para una fase.

Resultados de simulación del inversor

En la Fig. 2.3 se observa los voltajes de salida de cada fase del inversor multinivel con una carga puramente resistiva y con un bus de CD de 300V. Se calculó una distorsión armónica (THD) de 0.26.

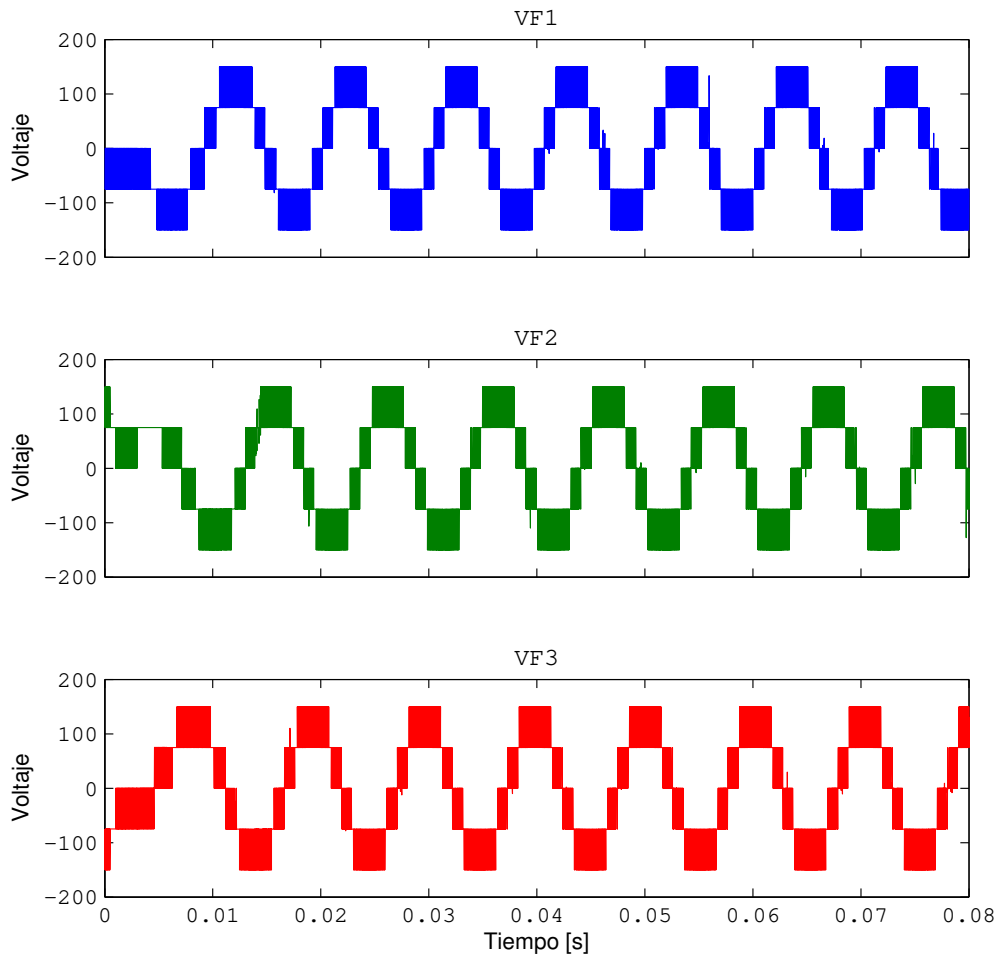


Figura 2.3: Resultados de simulación del inversor multinivel para cada una de las fases.

2.3.2. Simulación del controlador

Para validar el funcionamiento del sistema se realiza la cosimulación con MATLAB/Simulink² y PSIM³. El diagrama eléctrico en PSIM del inversor multinivel en conjunto con el motor MSIP se muestra en la Fig. 2.4. Se puede observar que el inversor multinivel se compone de tres secciones iguales como la mostrada en la Fig. 2.4(a).

²Version 7.12.0.635 (R2011a) 32-bit

³Version 9.0

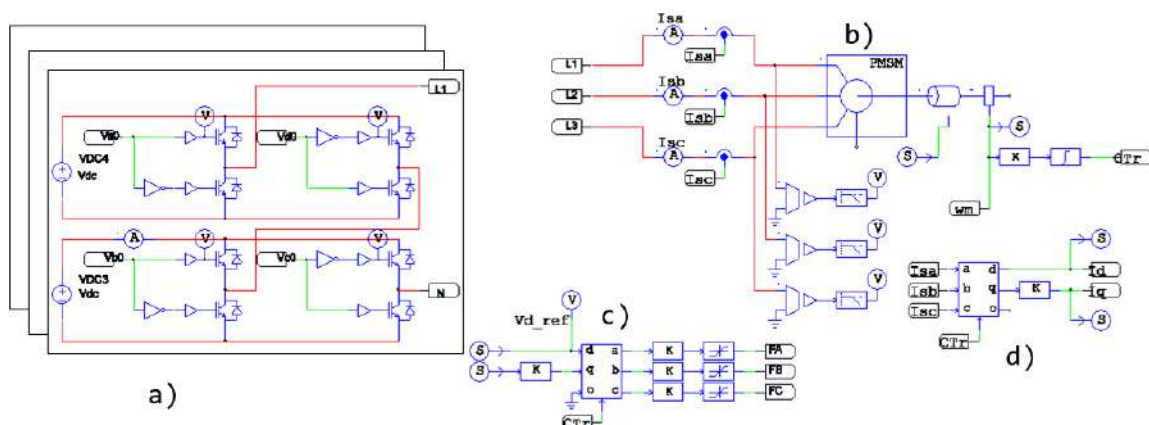


Figura 2.4: Diagrama eléctrico en PSIM: a) inversor multinivel; b) MSIP; c) transformada $d - q$ a abc ; d) transformada abc a $d - q$.

Posteriormente con el uso del Software MATLAB/Simulink se procede a hacer el diseño en diagrama de bloques de todo el sistema. La Fig. 2.5 muestra el diagrama a bloques principal.

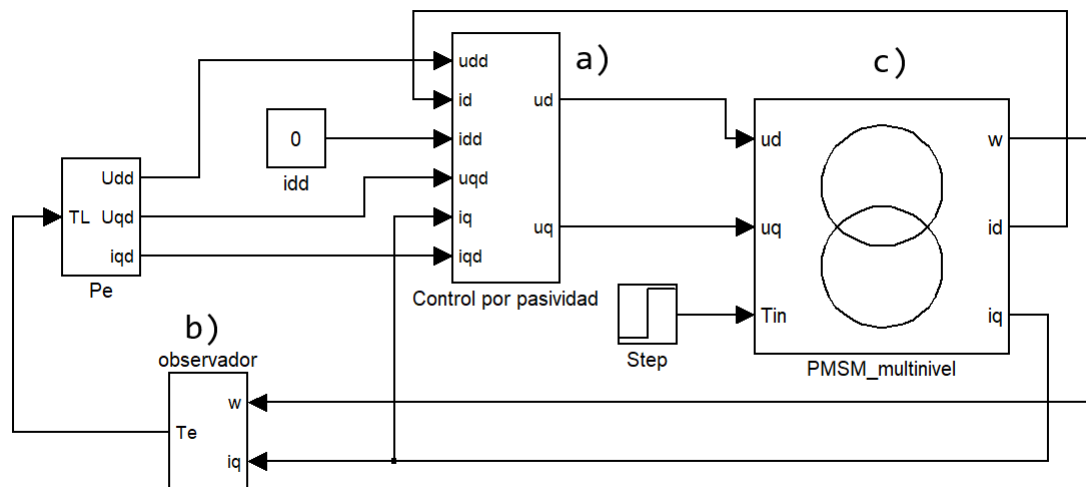


Figura 2.5: Diagrama a bloques del sistema: (a) Controlador pasivo; (b) Observador de par; (c) MSIP e inversor multinivel trifásico de cinco niveles en PSIM.

El controlador basado en pasividad se muestra en la Fig. 2.6 el cual representa a la ecuación (2.20).

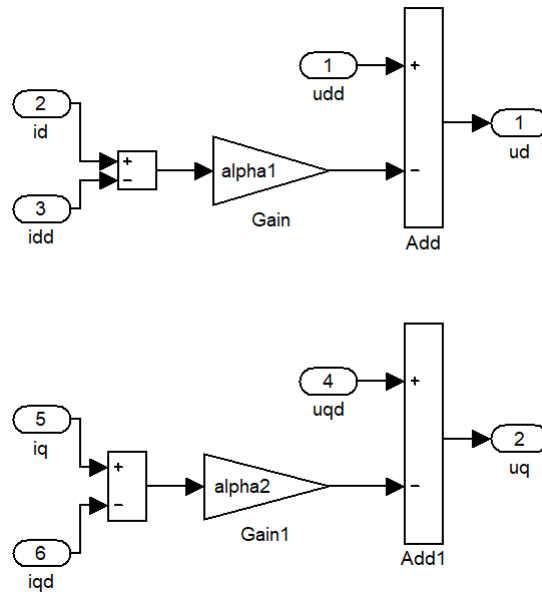


Figura 2.6: Controlador basado en pasividad.

El observador de carga de las ecuaciones (2.44) y (2.45) se muestra en la Fig. 2.7.

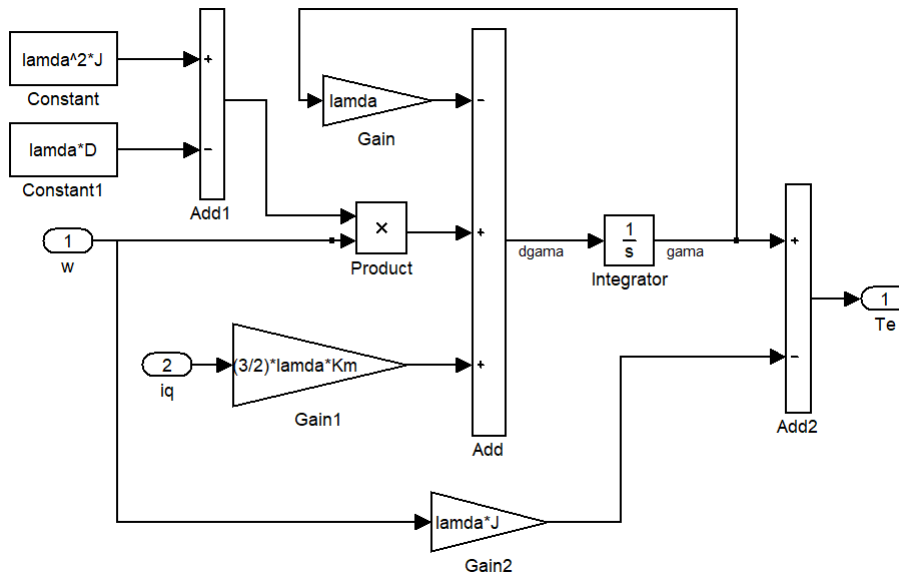


Figura 2.7: Observador de carga de orden reducido.

Las ecuaciones (2.30) de los puntos de equilibrio del sistema, que se utilizan para encontrar las referencias y trayectorias deseadas se muestran en la Fig. 2.8.

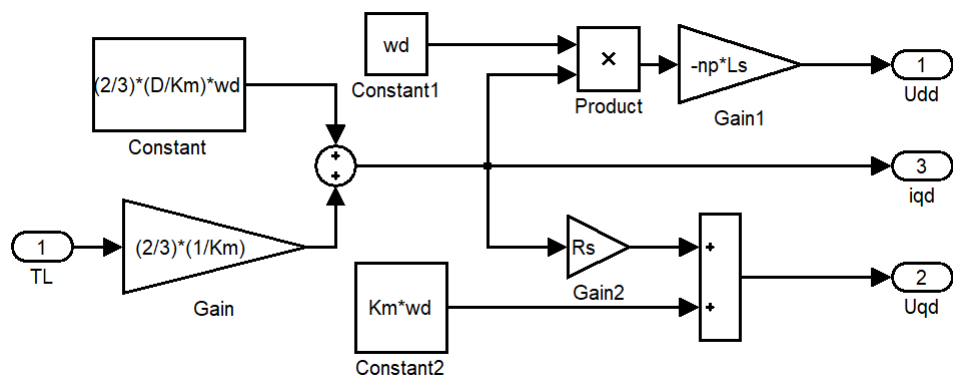


Figura 2.8: Puntos de equilibrio del sistema.

Parámetros de simulación

En la Fig. 2.9 se muestra la configuración de los parámetros del MSIP en el software PSIM.

Name	Value	Display
Name	PMSM31	<input type="checkbox"/>
Rs (stator resistance)	1.6	<input type="checkbox"/> ▾
Ld (d-axis ind.)	6.36e-3	<input type="checkbox"/> ▾
Lq (q-axis ind.)	6.36e-3	<input type="checkbox"/> ▾
Vpk / krpm	77.3	<input type="checkbox"/> ▾
No. of Poles P	4	<input type="checkbox"/> ▾
Moment of Inertia	1.82e-4	<input type="checkbox"/> ▾
Mech. Time Constant	2.09195	<input type="checkbox"/> ▾
Torque Flag	1	<input checked="" type="checkbox"/> ▾
Master/Slave Flag	1	<input type="checkbox"/> ▾

Figura 2.9: Parámetros del MSIP en PSIM.

Los parámetros de Simulación son los siguientes:

$$\begin{aligned}
 r_e &= 1.6\Omega \\
 L &= 6.36 \times 10^{-3}\text{H} \\
 n_p &= 2 \\
 J &= 1.82 \times 10^{-4}\text{kgm}^2 \\
 D &= 8.7 \times 10^{-5} \\
 K_m &= 0.42618 \\
 \lambda &= 15 \\
 \delta_1 &= 5 \\
 \delta_2 &= 5
 \end{aligned}$$

Resultados de simulación

A continuación se muestran los resultados obtenidos de la co-simulación del sistema a diferentes condiciones: con el modelo del MSIP de PSIM accionado por un inversor convencional y accionado por el inversor multinivel. Fijando una velocidad deseada de $200 \frac{rad}{s}$, una carga inicial de 0.3Nm y cambiando a 2Nm en 0.5s.

En la gráfica de la Fig. 2.10 se muestra la velocidad angular del motor en comparación con un inversor convencional y con un inversor multinivel. Al momento del cambio de carga hay una disminución en la velocidad que en 0.1s se recupera, también se puede observar que el seguimiento de velocidad se mejoró con el inversor multinivel (verde).

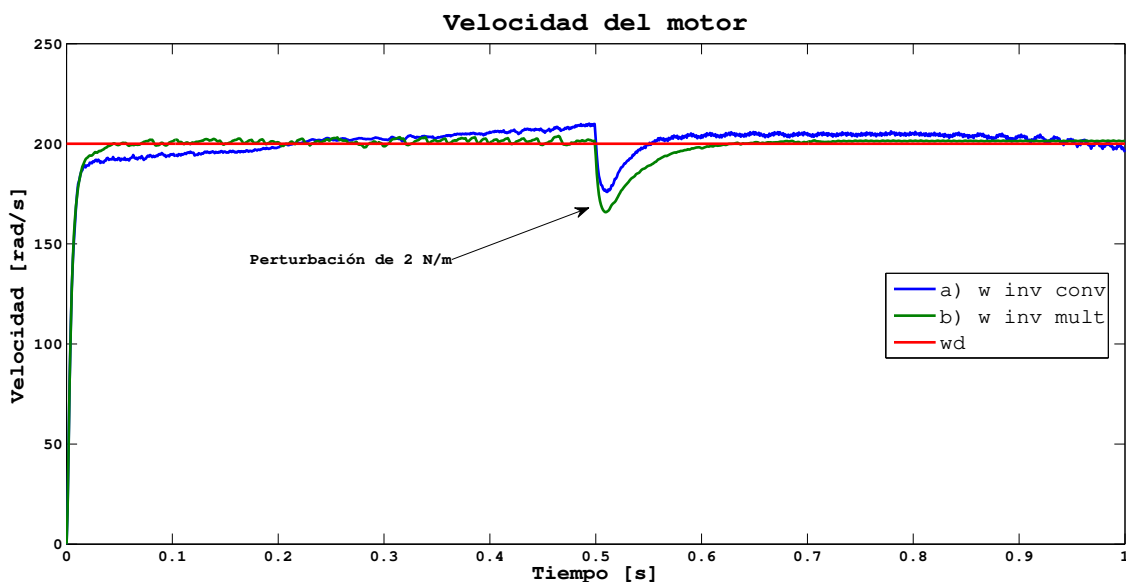


Figura 2.10: Perfil de velocidad obtenido con dos tipos de inversores: (a) tradicional de 3 niveles, (b) multinivel de 5 niveles.

En el mismo periodo de tiempo, en la Fig. 2.11 y 2.12 se muestran las graficas de las corrientes i_q, i_d respectivamente comparando en las 2 condiciones mencionadas anteriormente. Se puede notar gran disminución en el ruido de las mediciones usando el inversor multinivel. Por otra parte, la regulación de la corriente i_d se mantiene muy cercano al 0 y al mismo tiempo el seguimiento de la corriente i_q es robusto ante el cambio de carga.

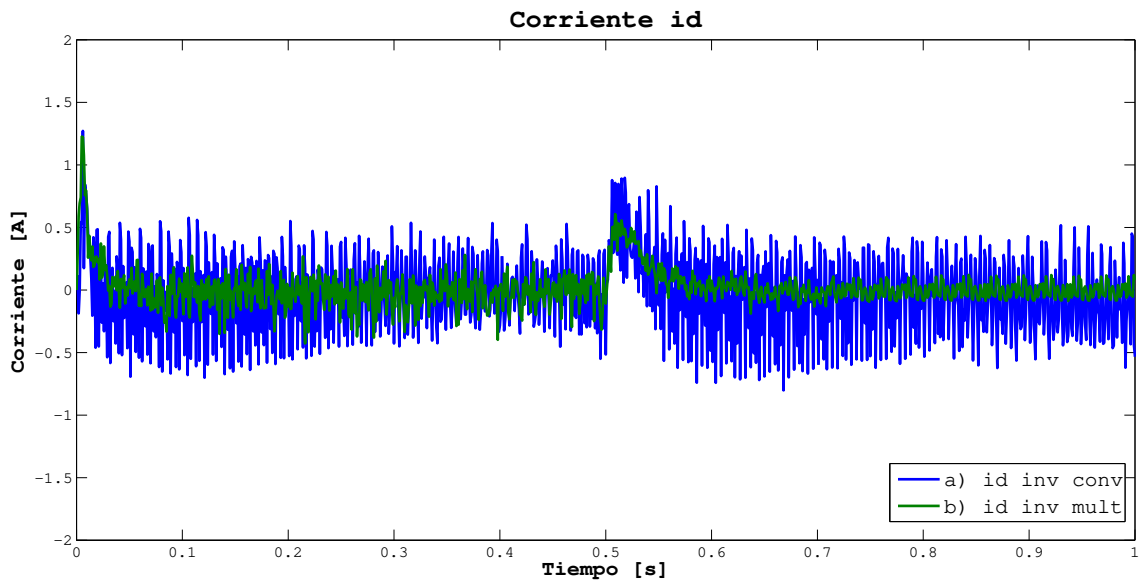


Figura 2.11: Respuesta de la corriente i_d con dos tipos de inversores: (a) tradicional de 3 niveles, (b) multinivel de 5 niveles.

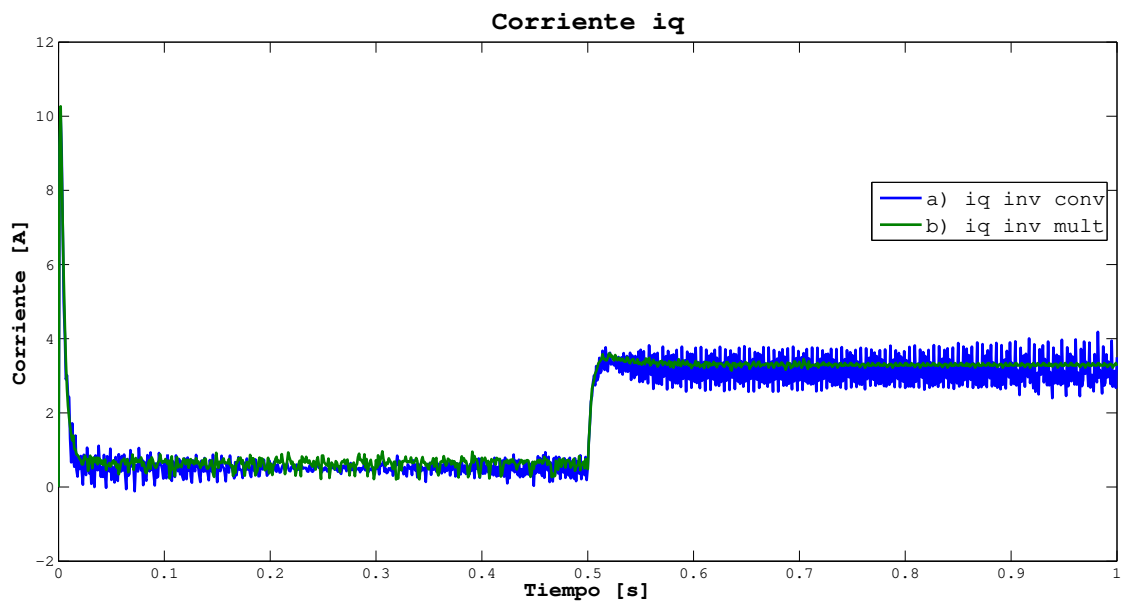


Figura 2.12: Respuesta de la corriente i_d con dos tipos de inversores: (a) tradicional de 3 niveles, (b) multinivel de 5 niveles.

Finalmente en la Fig. 2.13 se muestra la estimación del observador de carga y se puede observar

su funcionamiento correcto. Se observa que el seguimiento del par con el inversor multinivel es más robusto.

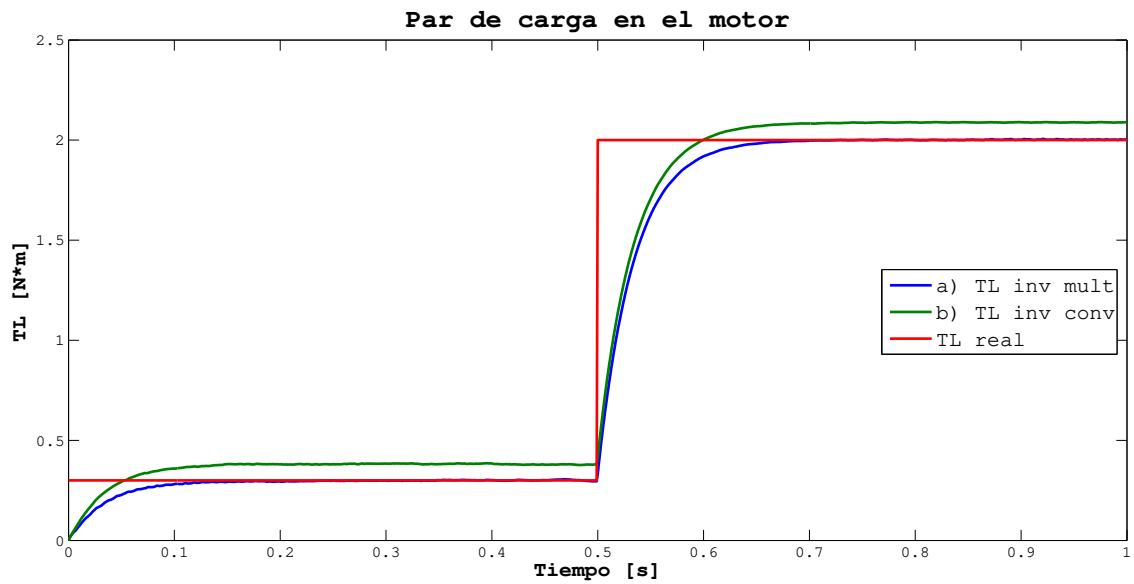


Figura 2.13: Estimación del par de carga en la flecha del motor con dos tipos de inversores: (a) multinivel de 5 niveles, (b) tradicional de 3 niveles.

Capítulo 3

Fase 2: Implementación en el sistema digital de lógica reconfigurable

En esta fase se realiza el diseño que será implementado en el FPGA, cabe mencionar que en este trabajo la codificación se realiza directamente en el lenguaje VHDL, sin emplear ningún generador de código, este enfoque permite hacer uso óptimo de los recursos del dispositivo.

3.1. Partición modular

El controlador de seguimiento de velocidad basado en pasividad está diseñado basado en una propuesta modular y jerárquica (Top-Down) [59], los módulos fueron definidos con diversos niveles de abstracción. Para este diseño se hace una descripción por medio de un esquemático que muestra de manera general los módulos que intervienen en el controlador, los módulos en sí, fueron modelados usando el lenguaje VHDL (Very high Hardware Description Language), los módulos aritméticos (sumador, multiplicador) fueron generados usando la herramienta Xilinx Core Generator, la cual incluye un generador de componentes pre-optimizados, estos son núcleos de propiedad intelectual (IP-core).

Por estandarización utilizamos en todas las operaciones de los módulos la representación numérica de 32-bits de punto flotante (IEEE 754 [60]). De manera general, en la Fig. 3.1, se muestra la partición modular para el control de velocidad basado en pasividad del MSIP, este proceso genera ocho módulos:

- Controlador del encoder.
- Observador de carga TL.
- Controlador por retroalimentación de la salida pasiva.
- Controlador del ADC.
- Transformada abc/dq .
- Transformada dq/abc .

- Puerto serie.
- Modulador PS-PWM.

Algunos de los módulos mostrados poseen un nivel más bajo en su partición modular, ello se tratará más adelante.

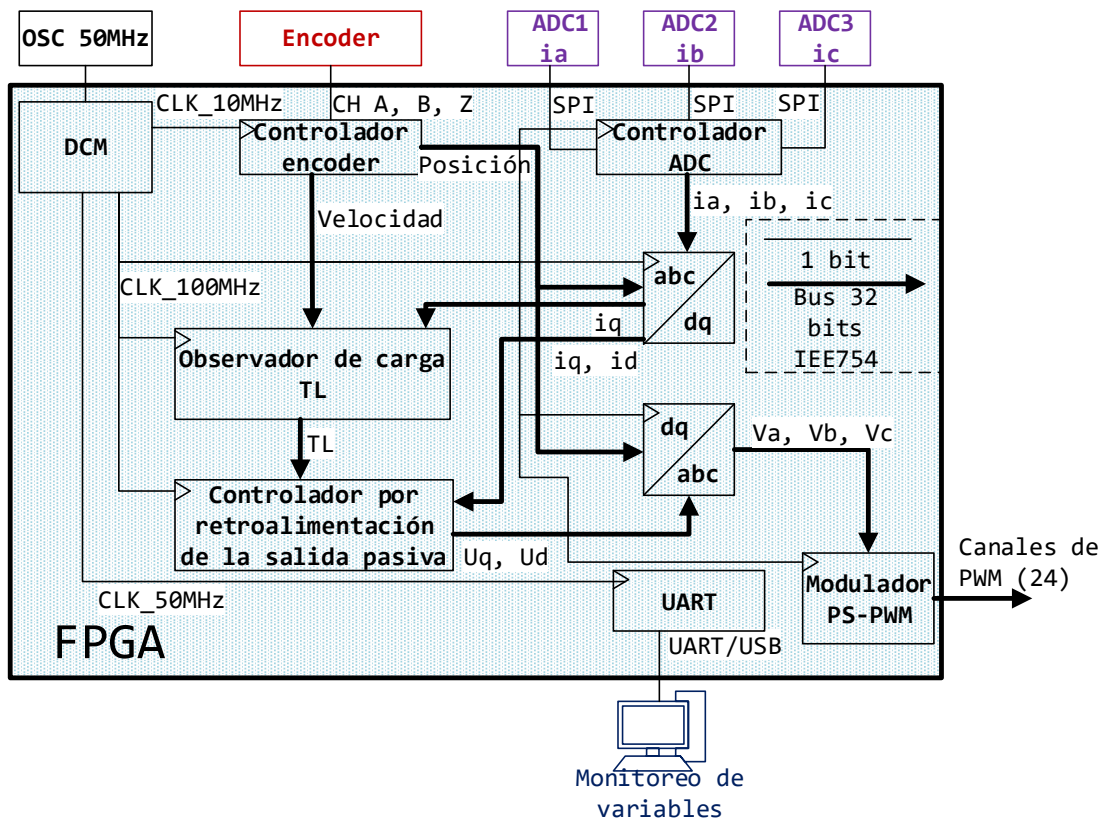


Figura 3.1: Diseño de los módulos dentro del dispositivo FPGA del controlador basado en pasividad para el seguimiento suave de velocidad del MSIP.

3.2. Simulación funcional

En el apartado 2.3 del capítulo 2 se realizó la simulación del controlador en bloques funcionales, por medio de una cosimulación (MATLAB/Simulink - PSIM).

3.3. Rediseño digital

La arquitectura propuesta para los módulos del controlador, observador, transformadas abc/dq y dq/abc serán del tipo secuencial por medio de máquinas de estado, esto debido a la limitación de recursos del FPGA y la complejidad de las ecuaciones. Aunque estos módulos principales

trabajaran de manera concurrente, de manera individual cada uno de ellos lo harán de manera secuencial utilizando solo un módulo suma y otro de multiplicación.

3.3.1. DCM

Otra característica importante del DCM (Digital Clock Manager) es que, al estar dentro de la estructura del FPGA, posee una red de distribución de reloj que incluye un circuito digital que no permite el desplazamiento de la señal de reloj y garantiza un tiempo de propagación igual a cero en la distribución de las señales de reloj. El DCM se configura para una frecuencia principal de entrada de 50MHz y para 3 diferentes señales de reloj de salida, las cuales son:

- 100 MHz; usada para los módulos del controlador, observador, transformadas, modulador, y controlador ADC que requieren de una alta velocidad de procesamiento.
- 50 MHz; únicamente usado para el controlador del puerto serial, el cual trabaja a 192600 bps.
- 10 MHz; usado únicamente para el modulo del controlador encoder, este requiere una señal de reloj de baja frecuencia para la detención de los pulsos del encoder del motor, si se usa una frecuencia mayor se detectarían pulsos falsos.

3.3.2. Diseño del modulador PS-PWM en VHDL

El modulador fue diseñado por medio del software ISE DESIGN de XILINX en lenguaje VHDL, por simplicidad en la Fig. 3.2 se muestra el diseño por medio de un diagrama esquemático a bloques. Los bloques programados principales son: Bloque de portadoras que es donde se generan las señales triangulares; el bloque de transformada dq/abc, es el que transforma las señales de las salidas del controlador u_d , u_q a los voltajes V_a , V_b , V_c , el cual se describe más adelante en la subsección 3.4.1; finalmente los comparadores generan las señales PWM realizando la comparación de las portadoras con los voltajes de referencia de la transformada $u_d - u_q$.

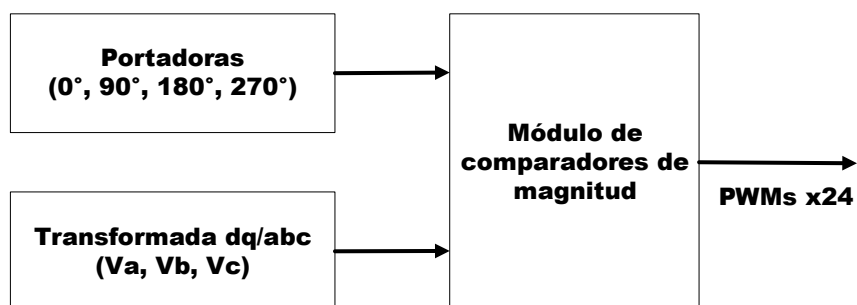


Figura 3.2: Diagrama de bloques del modulador

Portadoras

Este bloque a su vez consta de otros bloques (ver Fig. 3.3), los cuales son: “CE Contadores” el cual manda pulsos de activación cada $100ns$ que recibe el bloque “contador”, el cual recorre las direcciones de la “ROM”, esta memoria esta precargada con los datos de un cuarto se la señal triangular, es decir una recta de 0 a 1, que el contador con un módulo de signo reconstruye la señal triangular de -1 a 1.

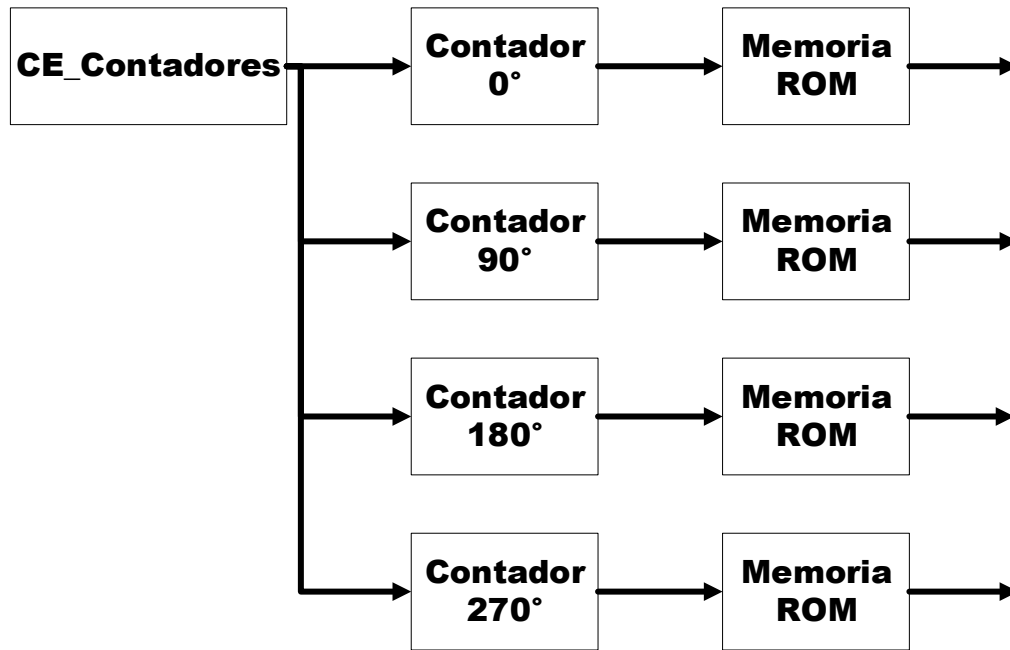


Figura 3.3: Diagrama de bloques de la portadora

Para lograr la frecuencia de la portadora deseada, se analiza lo siguiente; La frecuencia de conmutación a la salida del inversor es 4 veces la frecuencia del PS-PWM, se elige una frecuencia de conmutación en la salida en el inversor de 20kHz (fuera del rango audible por el oído humano), por lo cual nuestra frecuencia de PWM es de 5kHz. Por otro lado tenemos una frecuencia de trabajo de 100MHz y 500 direcciones de memoria que contienen los valores en punto flotante del 0 al 1, para construir la señal triangular completa tiene que recorrerse la memoria 4 veces [0 al 1, 1 al 0, 0 al -1, -1 al 0].

CE Contadores Este módulo trabaja con un contador de 0 a $n-1$, cuando el contador llega al valor $n-1$ este se reinicia y manda un pulso de $5ns$ de duración, $n=10$ para una frecuencia del PWM de 5kHz y se calcula con la siguiente ecuación:

$$n = \frac{F_{in}}{500 * 4 * F_d} \quad (3.1)$$

Donde $F_{in} = 100MHz$ es la frecuencia de trabajo suministrada por el DCM, $F_d = 5kHz$ es la frecuencia deseada del PWM, 500 las direcciones de memoria y 4 las veces que se recorre para completar el ciclo.

Contador Este módulo entrega la dirección a leer en la memoria ROM recorre la memoria en dos direcciones 0 a la 599 y de 599 a 0. Cada incremento o decremento se activa con la señal de salida del módulo CE. Tiene incorporado un control de signo que se activa o desactiva al llegar a 0 el contador, en el estándar IEEE 754 el signo es el bit más significativo, es decir, en la dirección 31 del vector. Para los diferentes ángulos de cada portadora el contador se inicia en diferente posición como se describe a continuación:

0° se inicia en la dirección 499 con el signo positivo.

90° se inicia en la dirección 0 con el signo positivo.

180° se inicia en la dirección 499 con el signo negativo.

270° se inicia en la dirección 0 con el signo negativo.

Estas cuatro señales se manejan en registros de punto flotante de 32 bits, que son usadas en todos los comparadores con las señales de voltaje V_a , V_b , V_c . Por lo cual solo se utiliza un módulo de portadoras para alimentar a todos los comparadores.

Comparadores

El bloque de comparadores de magnitud (ver Fig. 3.4) realiza la comparación de la señal portadora con la de los voltajes de referencia (V_a , V_b , V_c), para esto se utiliza un IP core el cual se genera, para así poder hacer la comparación de dos números en punto flotante de 32 bits, después de este bloque se necesita un bloque para los tiempos muertos, esto es importante implementar dado que el MOSFET tiene un tiempo de activación y de desactivación, sin implementar este tiempo muerto se ocasionarían cortos circuitos dado que al MOSFET no le da tiempo desactivarse antes de que se active el siguiente.

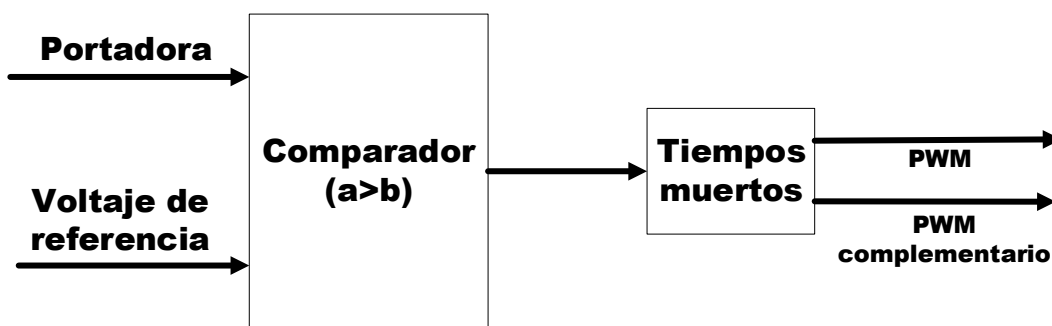


Figura 3.4: Diagrama a bloques del comparador

Tiempos muertos

Este bloque es necesario para evitar corto circuito en la conmutación de los MOSFETs complementarios, dado que estos cuentan con un tiempo de apagado y encendido, para controlar esto, se construye la máquina de estados mostrada en la Fig. 3.5 a) y en la Fig. 3.5 b) se

muestra el diagrama de tiempos muertos suponiendo una frecuencia de PWM de 10MHz¹, un ciclo de trabajo del 50 % y un tiempo muerto de 110ns.

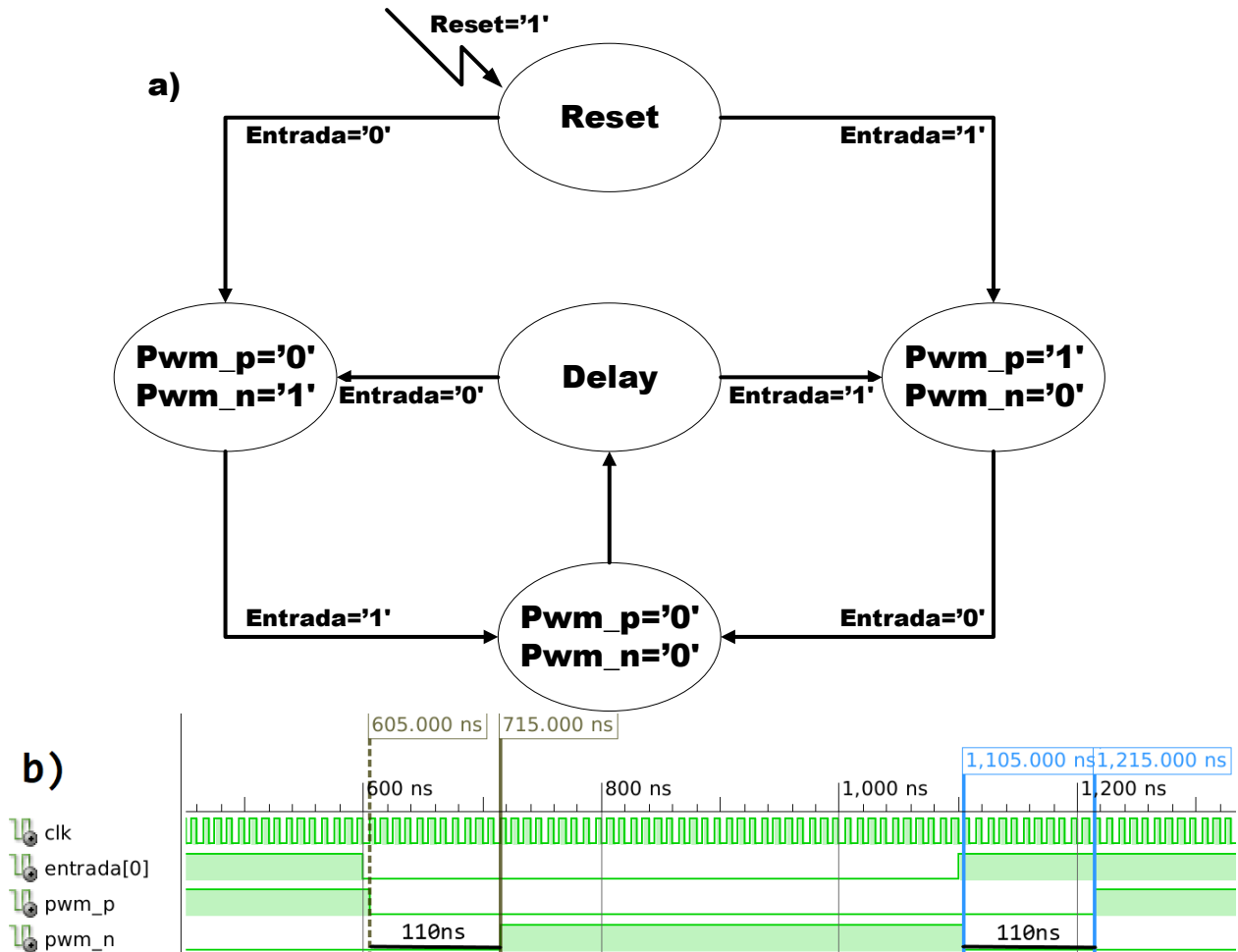


Figura 3.5: Tiempos muertos: a) máquina de estados, b) diagrama de tiempos

3.3.3. Módulo encorder

Para la medición de la posición y velocidad del motor se hace uso del encorder incremental de 2500 ranuras cada canal integrado en el motor. Para medir la posición se cuentan los flancos de subida y bajada de los canales A y B como se muestra en la Fig. 3.6 obteniendo 10000 ppv (pulsos por vuelta), también se cuenta con un canal Z que se ocupa únicamente para encontrar la referencia del campo reiniciando el contador de posición.

Para la medición de la velocidad se calcula la deriva de la posición, para esto se cuentan los ciclos de reloj de 10MHz por cada flanco de subida únicamente en el canal A y de acuerdo

¹En la implementación se utiliza una frecuencia de 5kHz

con la ecuación (3.2) se precálculan y almacenadan los datos en una memoria ROM de 2048 localidades², en donde la dirección de memoria es el valor del contador (n).

$$\omega = \frac{(2\pi)(10\text{MHz})}{(n)(2500\text{ppv})} \quad (3.2)$$

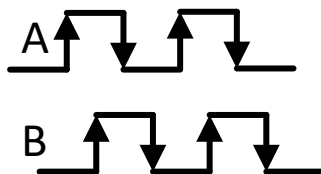


Figura 3.6: Esquema de los pulsos del encoder incremental.

3.3.4. Módulo seno y coseno

Para las transformaciones dq-abc y abc-qd, se requiere funciones trigonométricas, las cuales son: $\sin(\theta)$, $\sin(\theta \mp \frac{2}{3}\pi)$, $\cos(\theta)$, $\cos(\theta \mp \frac{2}{3}\pi)$.

En la Fig. 3.7 se muestra el diagrama a bloques del cálculo de las funciones trigonométricas en la cual se emplean 2 memorias ROM con los valores de seno y coseno de $[0 \text{ a } \frac{1}{2}\pi]$ radianes, el tamaño de la memoria es de 1250 localidades, esto debido al encoder que es de 10000 pulsos por vuelta y el motor al ser de 2 pares de polos, entonces tenemos: $\frac{10000\text{ppv}}{4_{\text{cuadrantes}} * 2_{np}} = 1250$, para esto también se tiene un bloque que hace la conversión al primer cuadrante. Además este modulo calcula de $-\frac{2}{3}\pi$ a $\frac{8}{3}\pi$ agregando los desfases de $\pm\frac{2}{3}\pi$ requerido para las transformaciones mencionadas.

En la Fig. 3.8 se tiene el diagrama a bloques del modulo que calcula las seis funciones trigonométricas, tomando como entrada el ángulo del motor medido con el encoder (θ).

Finalmente el módulo está controlado por una máquina de estados (ver Fig. 3.9), que multiplexa las memorias para obtener los otros resultados con el desfaseamiento de ángulo requerido.

²La velocidad mas lenta detectable es de 12.27 rad/s (117.24 RPM)

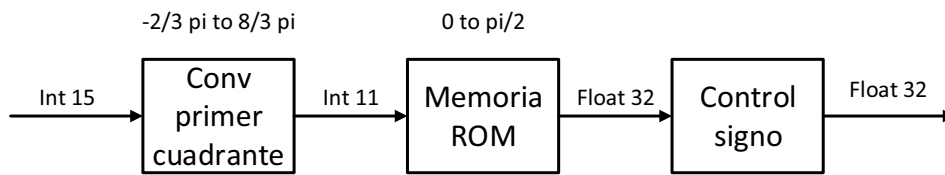


Figura 3.7: Diagrama a bloques del modulo seno/ coseno

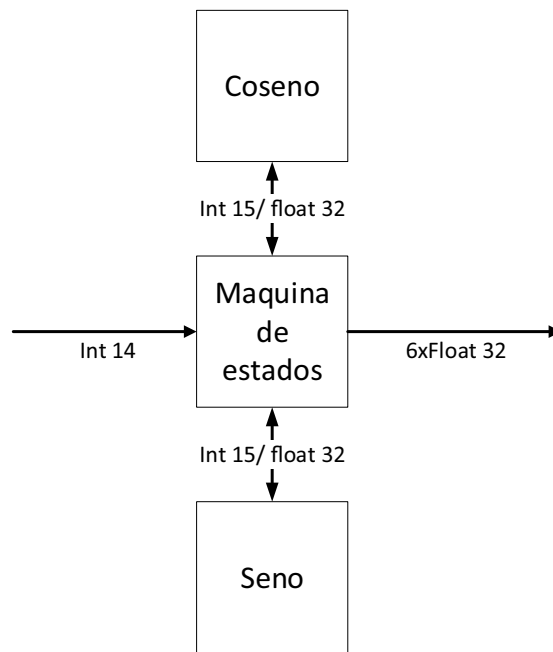


Figura 3.8: Diagrama a bloques del módulo para el cálculo de las seis funciones trigonométricas

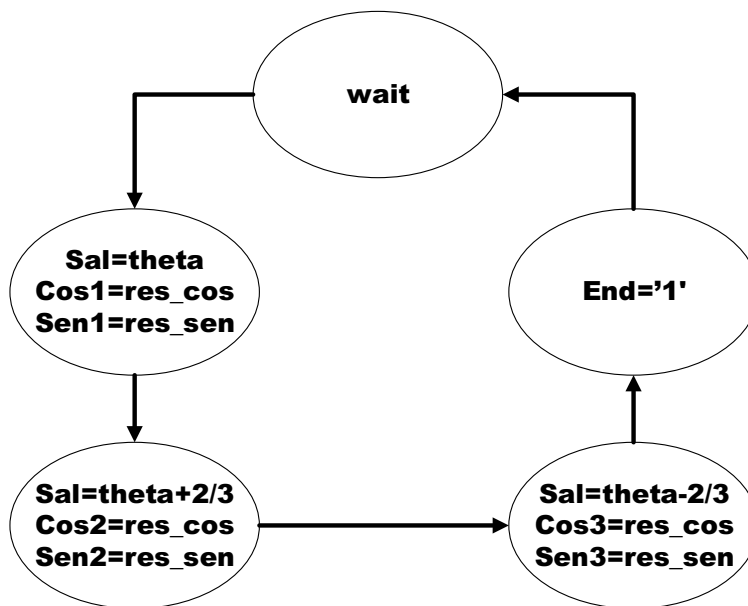


Figura 3.9: Máquina de estados del módulo para el cálculo de las seis funciones trigonométricas

3.4. Gráfico de optimización de flujo de datos

Los siguientes módulos se codifican con ayuda de los diagramas de secuencia y de flujo de datos, con los cuales se logra un uso óptimo de los recursos y una programación más sencilla.

3.4.1. Módulo de la transformada de dq a abc

Para el desarrollo de este módulo se realiza la arquitectura mostrada en la Fig. 3.10 la cual es usada para la solución en línea de la ecuación (3.3) y la optimización de recursos. En el caso de este módulo se utiliza un multiplicador, un sumador y un registro (r1), todos estos elementos se encuentran dentro del FPGA, sin embargo al ser limitados se debe de optimizar su uso. Como se observa en la Fig. 3.10, este requiere 8 entradas: d, q y las 6 funciones trigonométricas. A la salida tenemos los valores a, b y c, los cuales representan el valor del voltaje de las fases. Posteriormente en la Fig. 3.11 se muestra la implementación en hardware de las ecuaciones (3.3).

$$\begin{aligned}
 V_a &= V_d \cos(\theta) + V_q \sin(\theta) \\
 V_b &= V_d \cos\left(\theta - \frac{2}{3}\pi\right) + V_q \sin\left(\theta - \frac{2}{3}\pi\right) \\
 V_c &= V_d \cos\left(\theta + \frac{2}{3}\pi\right) + V_q \sin\left(\theta + \frac{2}{3}\pi\right)
 \end{aligned}
 \tag{3.3}$$

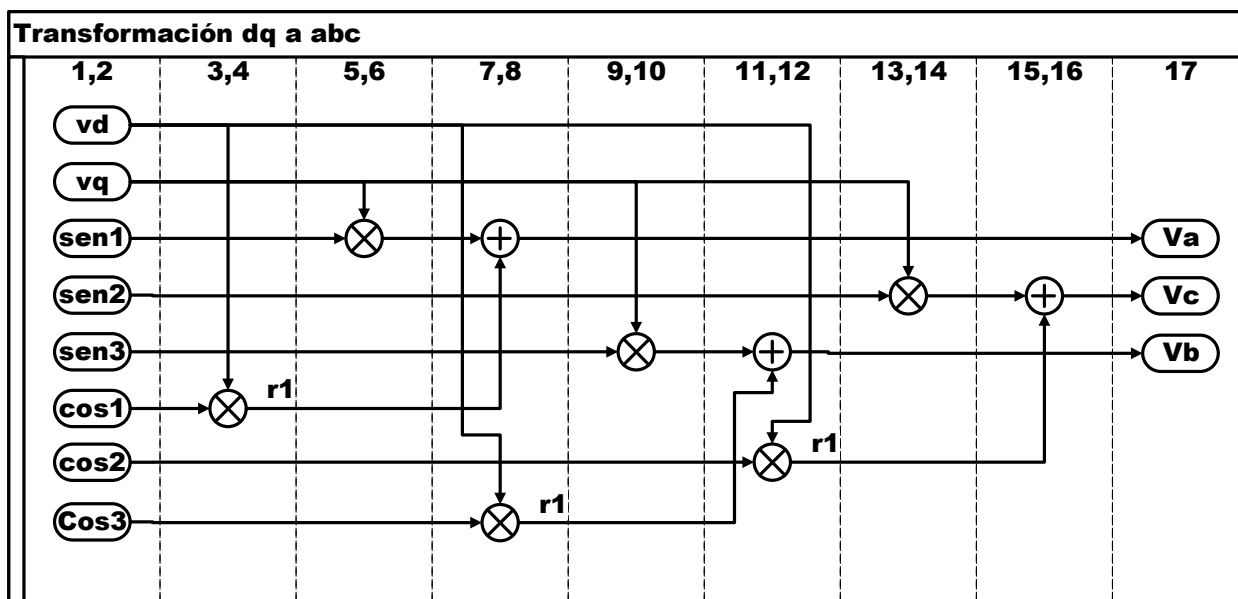


Figura 3.10: Diagrama de secuencia de la transformada dq a abc.

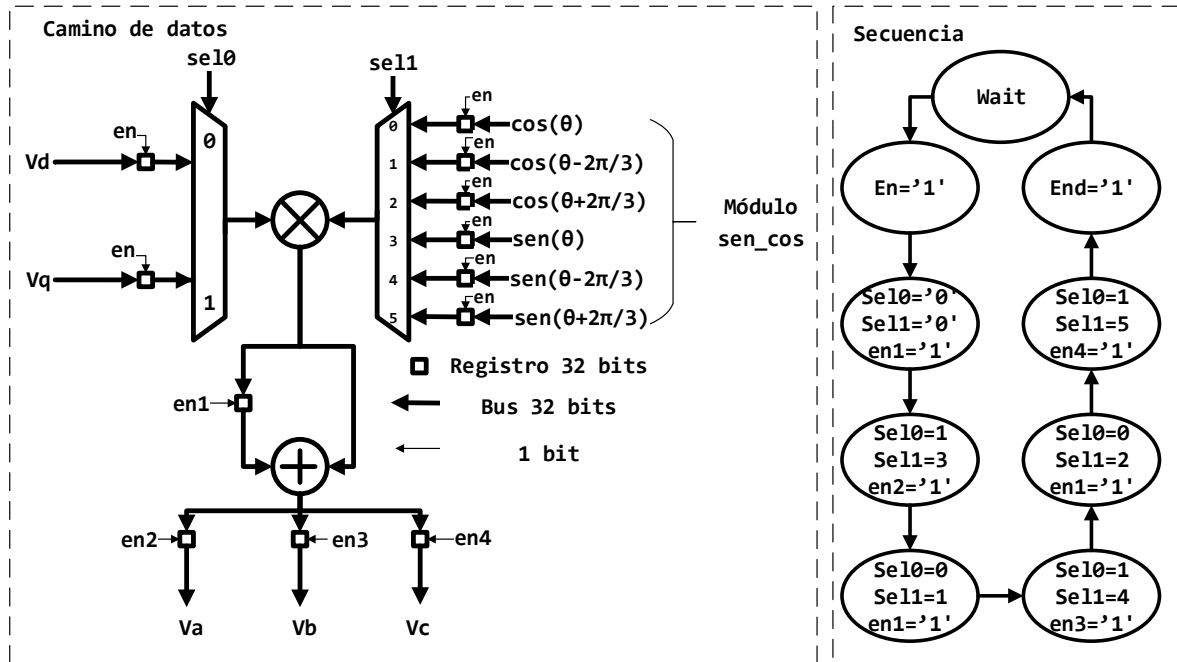


Figura 3.11: Diagrama de flujo de datos y máquina de estados para el control de la transformada dq a abc.

3.4.2. Módulo de la transformada de abc a dq

En la Fig. 3.13 se muestra la solución para la ecuación (3.4). En el caso de este módulo se utiliza un multiplicador, un sumador y dos registros ($r1$, $r2$). Esta implementación requiere 9 entradas: i_a , i_b , i_c y las 6 funciones trigonométricas. A la salida tenemos los valores i_d , i_q , los cuales representan las corrientes en el eje coordenado $d-q$. Posteriormente en la Fig. 3.12 se muestra la implementación en hardware de las ecuaciones 3.4.

$$\begin{aligned}
 i_d &= \frac{2}{3} \left[i_a \cos(\theta) + i_b \cos\left(\theta - \frac{2}{3}\pi\right) + i_c \cos\left(\theta + \frac{2}{3}\pi\right) \right] \\
 i_q &= \frac{2}{3} \left[i_a \sin(\theta) + i_b \sin\left(\theta - \frac{2}{3}\pi\right) + i_c \sin\left(\theta + \frac{2}{3}\pi\right) \right]
 \end{aligned} \tag{3.4}$$

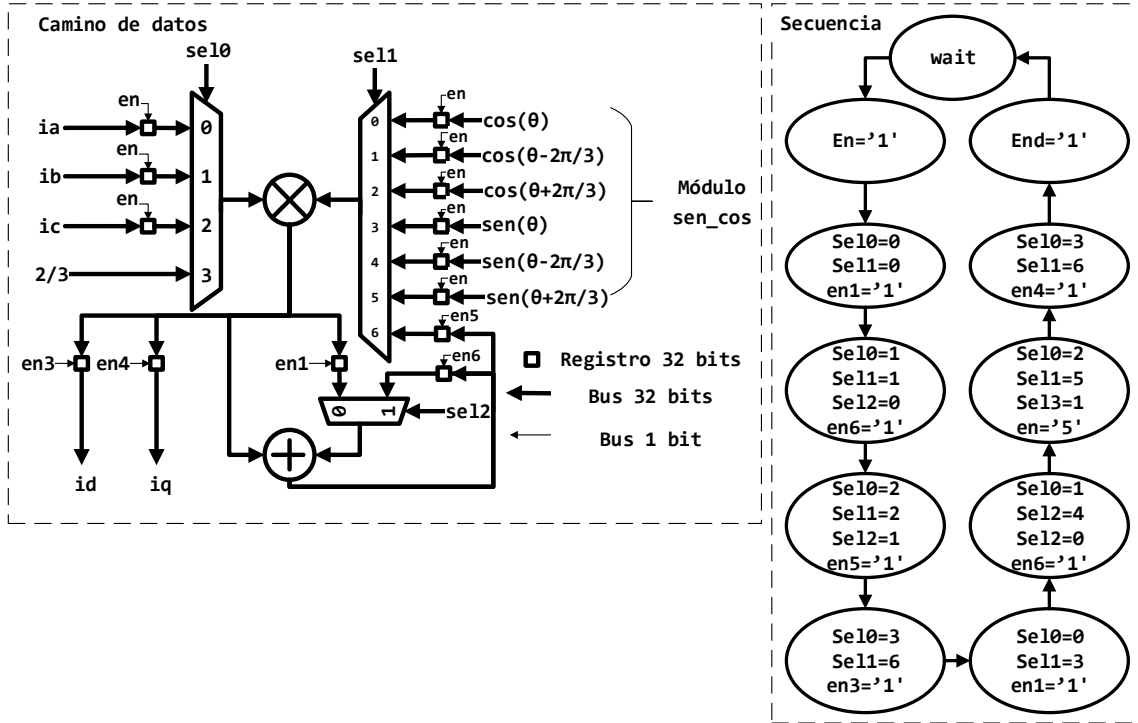


Figura 3.12: Diagrama de flujo de datos y máquina de estados para el control de la transformada abc a dq.

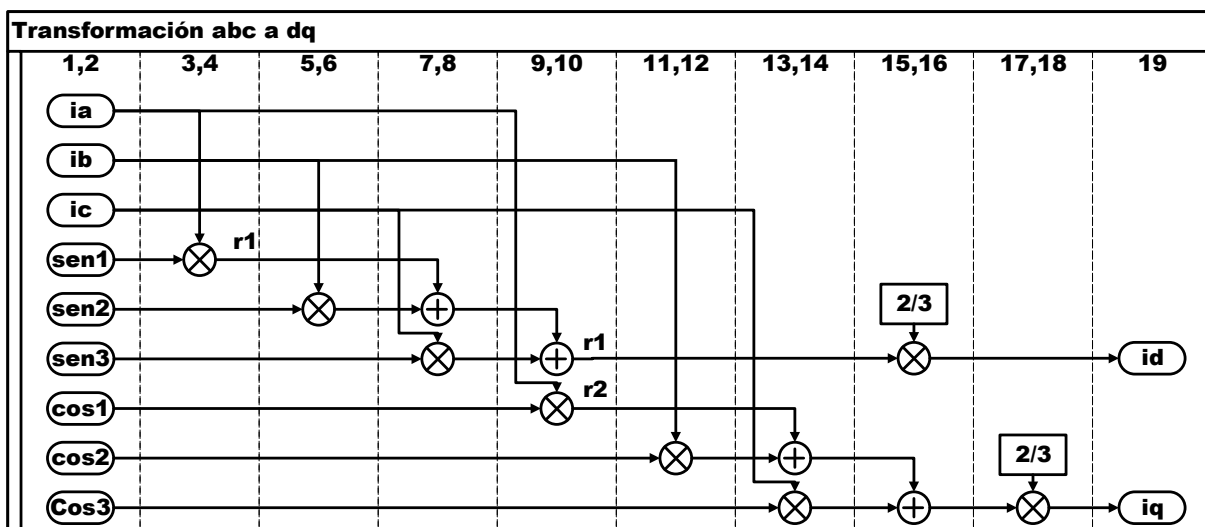


Figura 3.13: Diagrama de secuencia de la transformada abc a dq.

3.4.3. Módulo del observador de par

Siguiendo con la metodología, el módulo del observador de par de carga con las ecuaciones (3.5) y (3.6) se muestra en la Fig. 3.14 donde se puede observar la arquitectura propuesta. En este caso se utiliza un multiplicador, un sumador y dos registros ($b1, \psi$). Este módulo requiere de dos entradas ω y i_q , el registro ψ es el resultado de la integral que se reutiliza en la siguiente iteración, $\psi(pas)$ es el registro donde se almacena el resultado de la integral de la iteración pasada y dt es el paso de integración en este caso es una constante de $10\mu s$. A la salida tenemos T_L el par de carga. Posteriormente en la Fig. 3.15 se muestra la implementación en hardware de las ecuaciones (3.5) y (3.6).

$$\frac{d\psi}{dt} = -\lambda\psi + \underbrace{(J\lambda - B)\lambda\omega}_{a1} + \underbrace{\frac{3}{2}\lambda K_m i_q}_{a2} \tag{3.5}$$

$$\widetilde{T}_L = \psi - \underbrace{\lambda J\omega}_{a3} \tag{3.6}$$

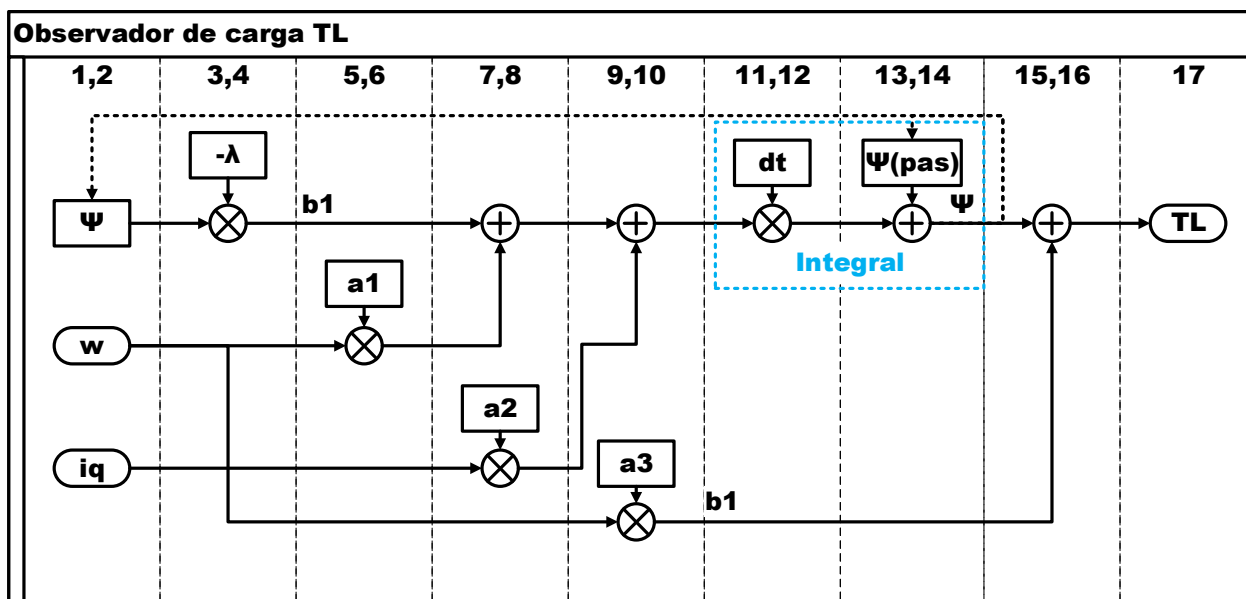


Figura 3.14: Diagrama de secuencia del observador de carga

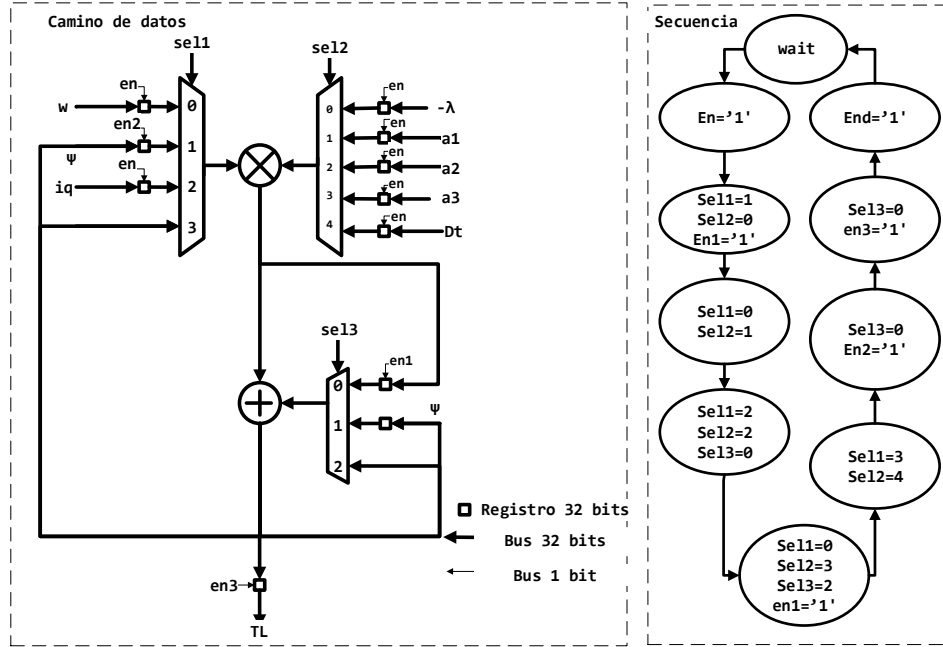


Figura 3.15: Diagrama de flujo de datos y máquina de estados para el control del observador de carga.

3.4.4. Controlador y trayectorias de referencia

Finalmente las ecuaciones (3.7) y (3.8) se unen en un sólo módulo. La arquitectura se muestra en la Fig. 3.16, se utilizan 6 entradas: a_1 , a_3 , a_4 , T_L , i_d , i_q , en donde a_1 , a_3 y a_4 son valores precalculados de la trayectoria deseada al arranque, estos son guardados en una memoria ROM cada una con un tamaño de 1024 localidades, que se van recorriendo con el tiempo hasta llegar a la velocidad deseada. A la salida tenemos las señales de control u_d y u_q . Posteriormente en la Fig. 3.17 se muestra la implementación en hardware de las ecuaciones (3.7) y (3.8).

$$i_q^*(t) = \underbrace{\frac{2}{3} \left(\frac{J}{K_m} \dot{\omega}^*(t) + \frac{D}{K_m} \omega^*(t) \right)}_{a_1} + \underbrace{\left(\frac{2}{3} \frac{1}{K_m} \right) T_L}_{a_2}$$

$$\frac{di_q^*}{dt} = \frac{2}{3} \left(\frac{J}{K_m} \ddot{\omega}^*(t) + \frac{D}{K_m} \dot{\omega}^*(t) \right)$$

$$u_q^*(t) = \underbrace{L \frac{di_q^*}{dt} + K_m \omega^* + r e i_q^*}_{a_4} \quad (3.7)$$

$$u_d^*(t) = \underbrace{L n_p \omega^* i_q^*}_{a_3}$$

$$u_d = u_d^* - \delta_1 (i_d - i_d^*) \quad (3.8)$$

$$u_q = u_q^* - \delta_2 (i_q - i_q^*)$$

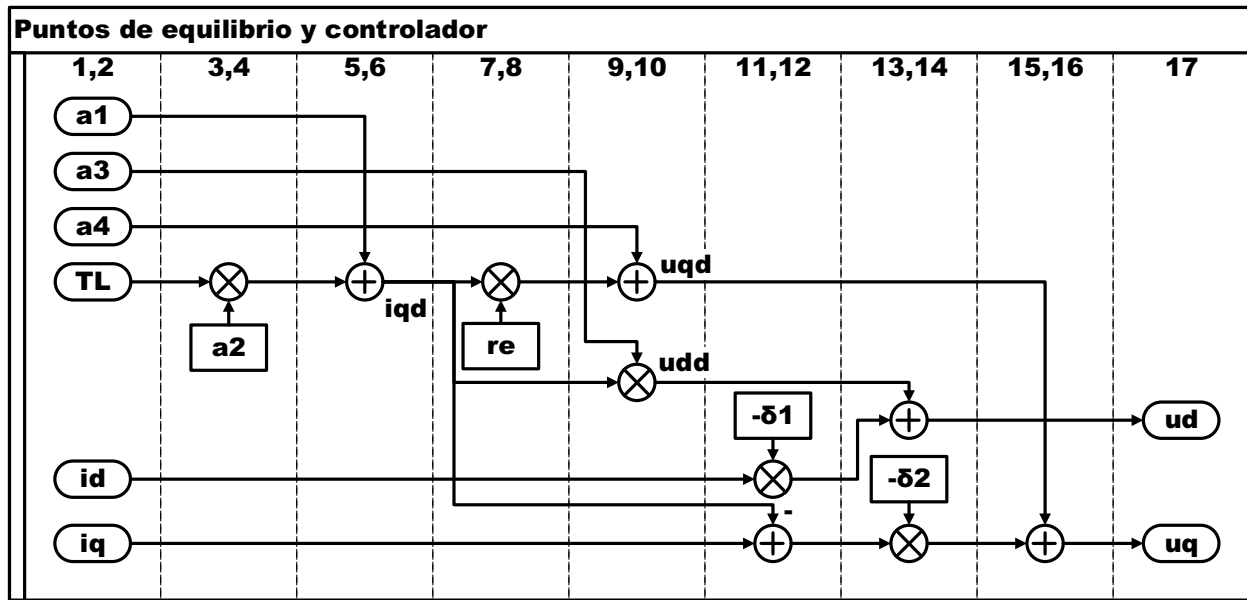


Figura 3.16: Diagrama de secuencia del controlador y de los puntos de equilibrio

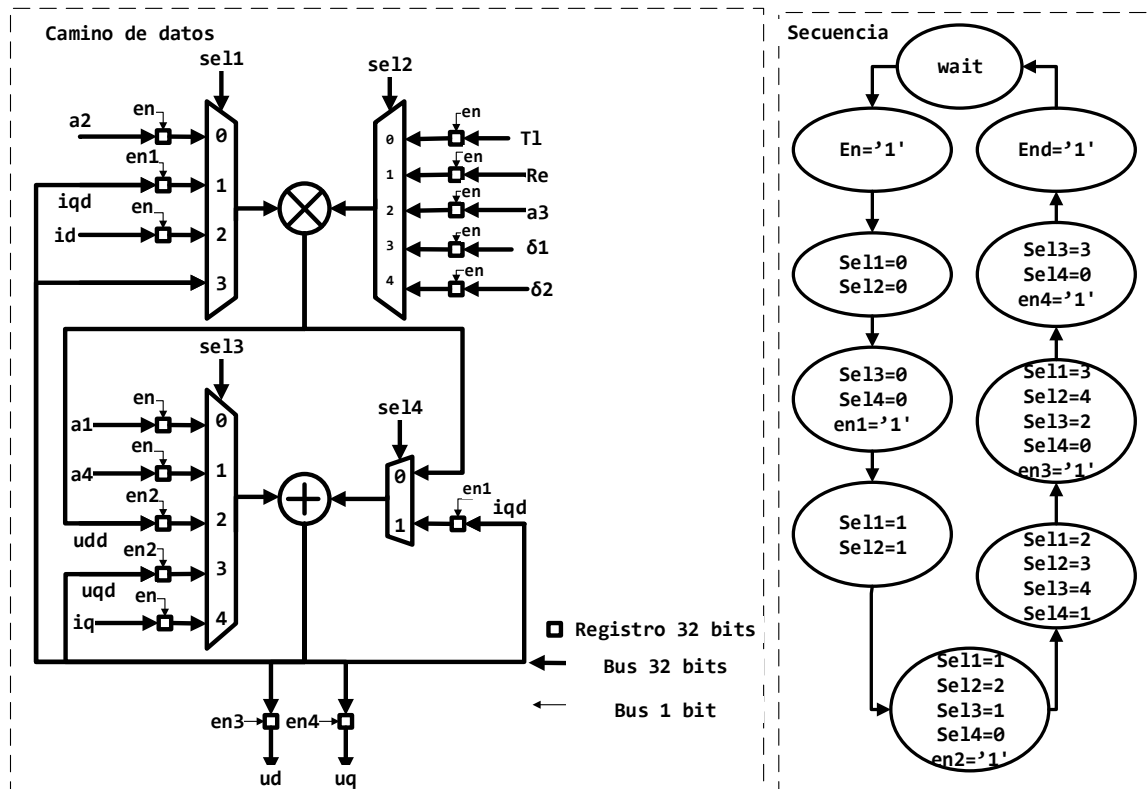


Figura 3.17: Diagrama de flujo de datos y máquina de estados del controlador y de los puntos de equilibrio.

3.4.5. Módulos empleados para el sumador y multiplicador

Estos módulos son creados mediante la herramienta IP core generator integrado en el entorno de ISE Desing de Xinlinx, estos nos ayudan a generar las operaciones que requerimos en punto flotante. Después de la implementación se requirió una optimización dado que los recursos requeridos sobrepasaban a los disponibles en el dispositivo por lo que se optó por reducir la latencia de los módulos, con el mínimo para funcionar en 100 MHz, en el caso de los multiplicadores se ocuparon 4 DSP48A disponibles internamente en el FPGA para optimizar las operaciones de multiplicación, en total se generan 4 sumadores y 4 multiplicadores.

3.5. Resumen de la implementación en el FPGA

Todos los módulos mostrados en el diagrama de la Fig. 3.18, pueden trabajar de manera concurrente por lo que se puede lograr un periodo de muestro, según el modulo con el mayor tiempo de procesamiento fue de $1.12\mu s$. Dada la aplicación, consideramos que el periodo de muestreo sea de $10\mu s$. El resumen de latencias y tiempos de procesamiento se muestran en la Tabla 3.1. La latencia son el numero de estados de la máquina de estados que tarda en resolver la operación (sin contar los estados de espera, inicio y final), cada estado tarda $0.14\mu s$ que es el tiempo que se tarda en realizar una suma o una multiplicación. En el caso del controlador del ADC cada ciclo es la recepción de 1 bit que el convertidor envía en formato SPI (Serial Peripheral Interface) 10 en total, con un muestreo de $1Mmps$ (1 millón de muestras por segundo).

Finalmente en la Tabla 3.2 se muestra el consumo de recursos lógicos usados en el FPGA después de realizar la implementación de todos los módulos implicados en el diseño. En la Fig. 3.18 se presenta el diagrama de la arquitectura y el camino de datos para el controlador, se puede observar que los módulos están controlados con la activación de un temporizador, este genera un pulso cada $10\mu s$ activando la secuencia del ADC de la lecturas de las corrientes, las transformadas dq/abc , abc/dq , el observador de carga, que al terminar este último se activa el módulo controlador por pasividad, para finalmente activar otra vez el módulo de transformadas. La secuencia más detallada se explica en la Fig. 3.19 donde se muestra la secuencia y los tiempos de ejecución de cada módulo.

Módulo	Número de sumadores	Número de multiplicadores	Latencia (ciclos)	Tiempo de procesamiento (ns)
Transformada dq/abc	1	1	7	980
Transformada abc/dq	1	1	8	1120
Observador TL	1	1	4	560
Controlador	1	1	7	980
Controlador ADC	N/A	N/A	10	1000
Total	4	4	Max 8	Max 1120

Tabla 3.1: Latencias y tiempos de procesamiento por módulo.

Resumen de utilización del FPGA			
Tipo de recurso	Consumido	Disponible	Porcentaje
Registros Slices	4,038	11,440	35 %
Slices LUTs	4,834	5,720	84 %
Slices ocupados	1,408	1,430	98 %
Puertos de E/S	56	186	30 %
Bloques RAM 16KB	17	32	53 %
Bloques RAM 8KB	10	64	15 %
DSP48A1s	16	16	100 %

Tabla 3.2: Consumo de recursos del FPGA.

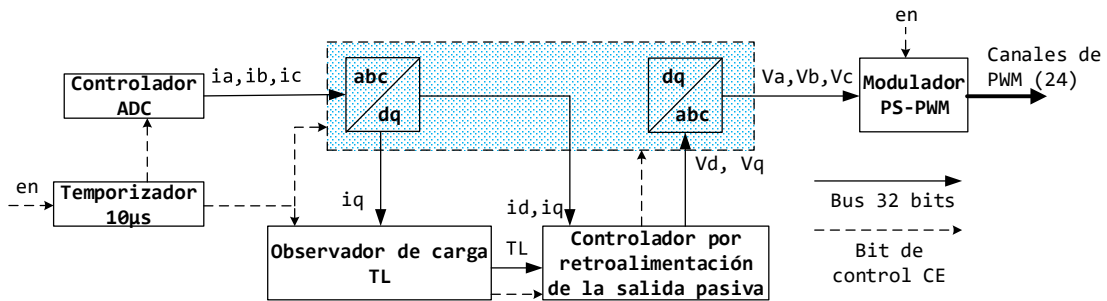


Figura 3.18: Arquitectura del controlador.

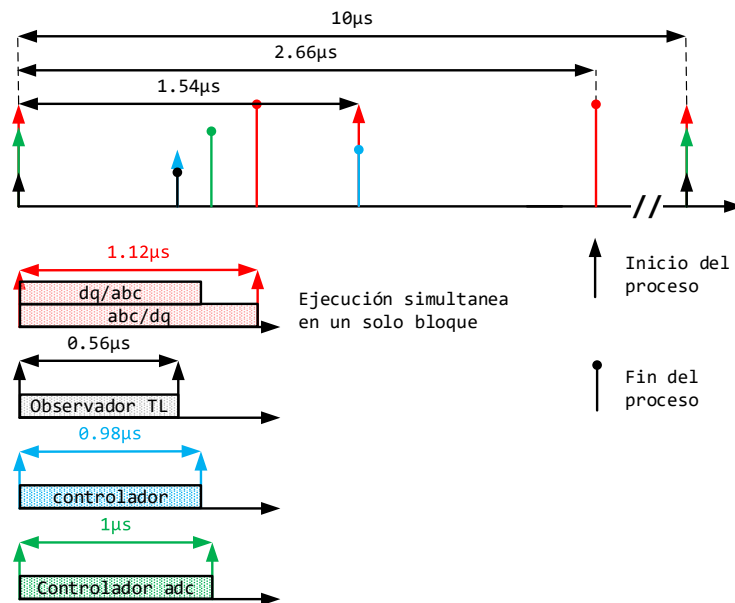


Figura 3.19: Diagrama de tiempos de la ejecución de los módulos del sistema.

Capítulo 4

Resultados experimentales

4.1. Diseño del experimento

Para la verificación del correcto funcionamiento del sistema y las hipótesis de este trabajo se formuló el siguiente diseño experimental.

1. La primer clase de experimento está orientado a evaluar el **rendimiento del inversor**, para esto se conecta el inversor a una carga resistiva de 100Ω conectada en estrella, con un índice de modulación 0.8. Esto para comprobar la calidad de la salida de voltaje del inversor, se medirá la salida del voltaje y el THD el cual debe ser menor del 5% requerido por la norma IEEE 519 [61].
2. En el segundo experimento se construyen diferentes **perfiles de velocidad para el MSIP**, en un rango de 500 a 3500 rpm en pasos de 500 rpm. Esto con el fin de verificar el correcto seguimiento de las trayectorias de referencia. En esta etapa solo se comparará la velocidad de referencia y la real del motor.
3. El tercer experimento consiste en establecer una **velocidad alta de 3000 RPM** y agregar una carga de valor entre 1-2 Nm a la flecha del motor durante un tiempo aproximado de $t=1$ s, para después retirarla. Se medirán los siguientes parámetros: velocidad, corrientes i_q e i_d , torque estimado y torque real con lo cual también se valida el funcionamiento del observador de carga, salidas del controlador u_q y u_d , el voltaje del inversor y las corrientes de cada fase.
4. El experimento final consiste en establecer una **velocidad media de 1500 RPM** y agregar una carga de 4 Nm por encima de la carga nominal según las especificaciones del motor (ver Tabla A.2). Al igual que en el punto 3, se miden los siguientes parámetros: velocidad, corrientes i_q e i_d , torque estimado y torque real, salidas del controlador u_q y u_d y las corrientes de cada fase.

Dado que el procesamiento al interior del dispositivo FPGA es numérico, es necesario contar con un medio para obtener la lectura de las diferentes señales que se procesan, para ello se toman lecturas de las señales y se envían serializadas vía UART, una vez que se reciben en la

computadora son procesadas y se presentan por medio de una GUI¹ diseñada en LabView², En la Fig 4.1 se presenta la interfaz completa donde se despliegan todos los datos en tiempo real, la letra “r” en la etiqueta de la medición indica que es el valor medido por el sensor y la letra “d” indica que es el valor de referencia con excepción de u_d e i_d que son valores en el sistema coordinado d-q.

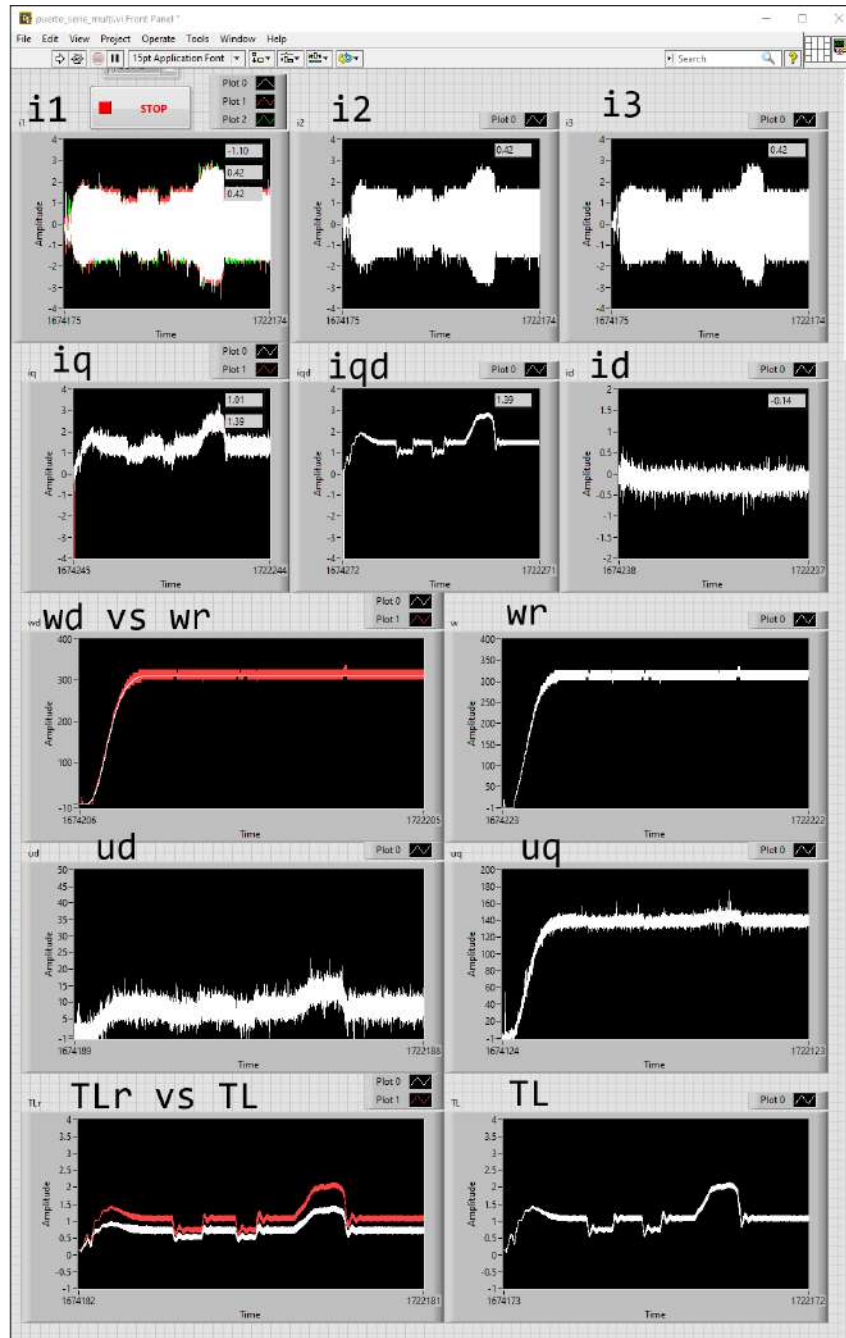


Figura 4.1: Interfaz gráfica para el monitoreo de parámetros

¹Graphical User Interface (interfaz gráfica de usuario)

²Version 15.0 (32-bits)

4.1.1. Rendimiento del inversor

Esta prueba se realiza con el fin de verificar el funcionamiento del modulador y las conexiones del inversor, se conectan 3 resistencias de 100Ω en conexión estrella como se muestra en la Fig.4.2 en donde el neutro de cada fase se conecta a tierra física.

Se fija el índice de modulación de amplitud del modulador en 0.8 con lo cual se espera obtener un voltaje RMS de 100V y a una frecuencia de 60Hz. Se utiliza el instrumento de medición de la calidad de la energía *Hioki 3197* y un osciloscopio para medir el voltaje en las resistencias.

En la Fig.4.3 se muestran los voltajes medidos de L1-N y L2-N, se obtiene un voltaje RMS de 117V mas de lo esperado, esto debido a la poca carga y por lo tanto no hay caída de voltaje. También se toman lecturas de los voltajes medidos en L1-L2 y L2-L3 en la Fig. 4.4, se observa que se obtienen más niveles de voltaje de 200V RMS y por lo tanto una forma de onda de mejor calidad, gracias a la topología multinivel.

Posteriormente utilizando el equipo *Hioki 3197* se toman las medidas de la calidad de energía, en la Fig. 4.5 se muestra la configuración de las conexiones, la posición de las sondas de voltaje y corriente, vectores de voltaje y corriente (creados a partir de la amplitud y ángulo), mediciones básicas de voltaje, corriente y potencia. La gráfica de armónicos donde también se obtiene la medición de la distorsión total armónica (THD) en porcentaje por fase se muestra en la Fig.4.6, se puede observar que el THD máximo es de 1.9% muy por debajo de nuestra meta de $< 5\%$. Adicionalmente se muestran las gráficas vectoriales de los voltajes y corrientes en la Fig. 4.7 en donde los vectores de corriente están en el mismo ángulo del voltaje, lo que significa un factor de potencia de 1, también se verifica que cada una de las fases están desfasadas entre si 120° . Finalmente en la Fig. 4.8 se muestran las mediciones a detalle de cada fase, en donde tenemos el THD tanto de voltaje y corriente, la potencia activa, reactiva y el factor de potencia.

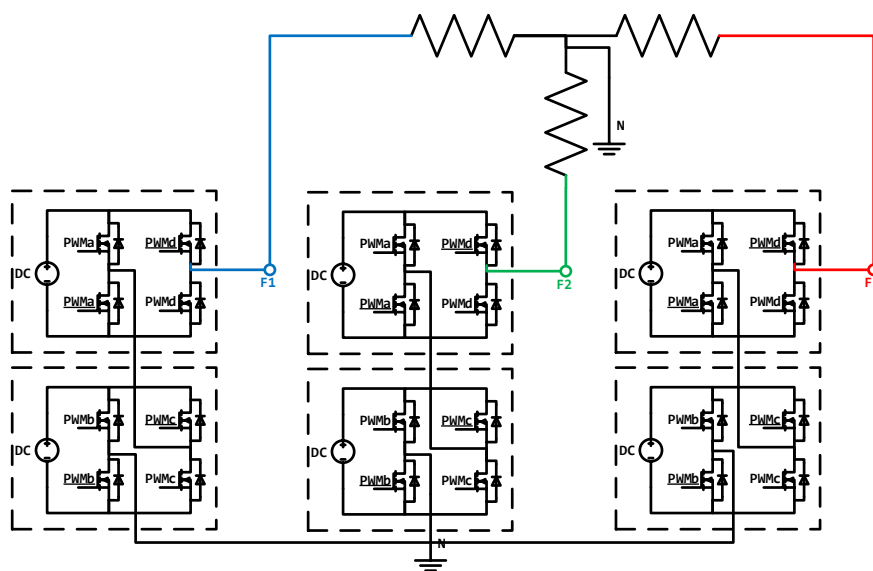


Figura 4.2: conexión del inversor multinivel.

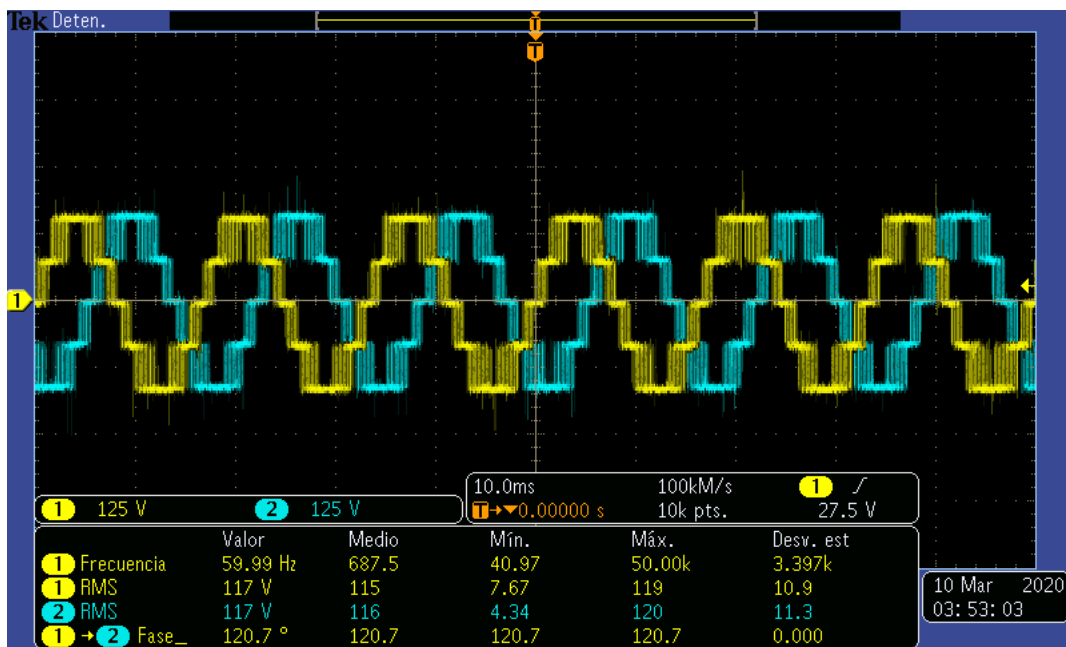


Figura 4.3: Medición de voltaje de L1-N, L2-N.

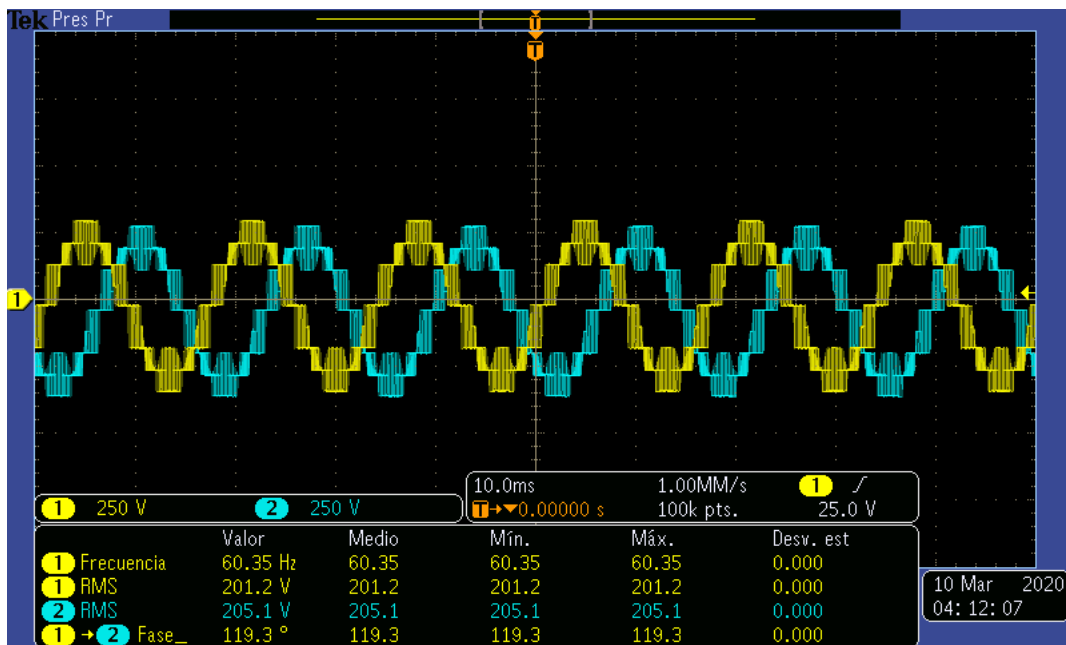


Figura 4.4: Medición de voltaje de L1-L2, L2-L3.

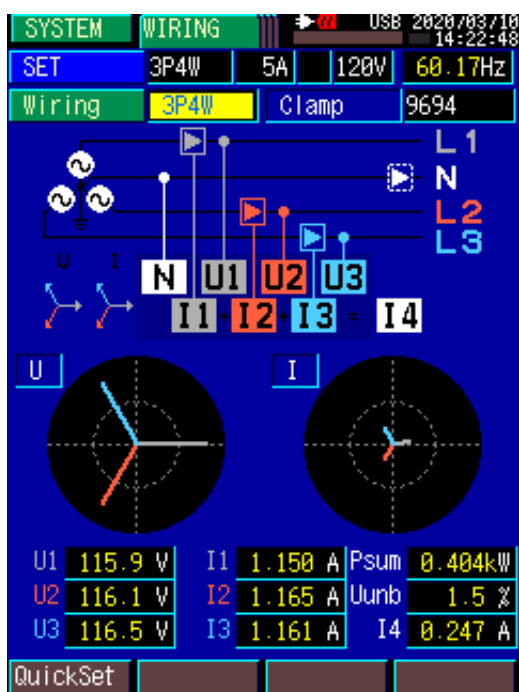


Figura 4.5: Pantalla principal del *Hioki 3197*.

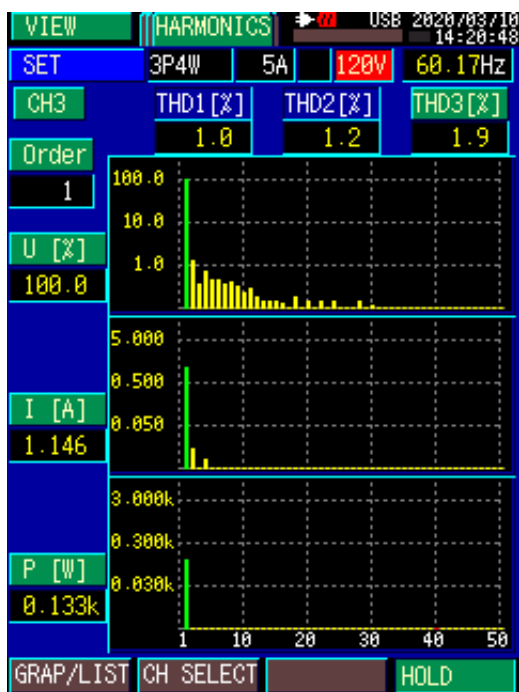


Figura 4.6: Graficas de armónicos y THD realizadas con el medidor de calidad de la energía *Hioki 3197*.

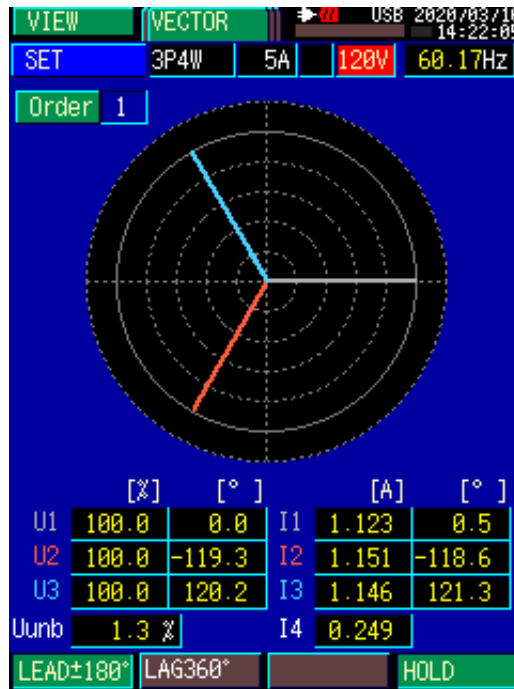


Figura 4.7: Gráfica vectorial de voltajes y corrientes realizadas con el medidor de calidad de la energía *Hioki 3197*.

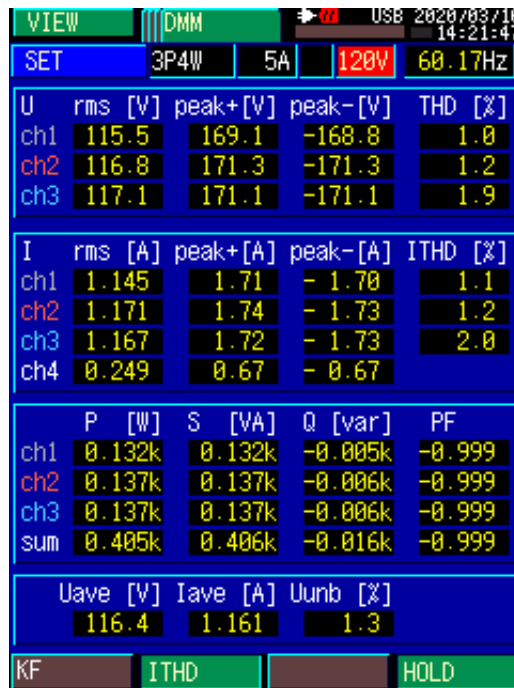


Figura 4.8: Resumen de las mediciones realizadas con el medidor de calidad de la energía *Hioki 3197*.

4.1.2. Perfiles de velocidad

Para realizar esta prueba se propusieron diferentes valores para el perfil de velocidad deseada (ω_d), en la Fig. 4.9 se muestran las velocidades angular ω medida en el eje del motor. La velocidad deseada ω_d se obtiene por medio del seguimiento de una curva obtenida a partir de un polinomio Bézier de 6to orden, la cual es usada como referencia. La duración de la curva de arranque es de 5s, se construyen diferentes perfiles de velocidad de 500, 1000, 1500, 2000, 2500, 3000 y 3500 RPM ($52.3, 104.7, 157, 209.4, 261.7, 314.1, 366.5 \frac{rad}{s}$), La medición de la velocidad de la flecha del motor se hace por medio de la derivada de la posición obtenida mediante un encoder incremental montado en el motor, por lo que se tiene un intervalo en la medición que va de los $12.27 \frac{rad}{s}$ a los $25000 \frac{rad}{s}$, por tal motivo durante el primer segundo del arranque del motor la velocidad no es medible si no hasta $12.27 \frac{rad}{s}$.

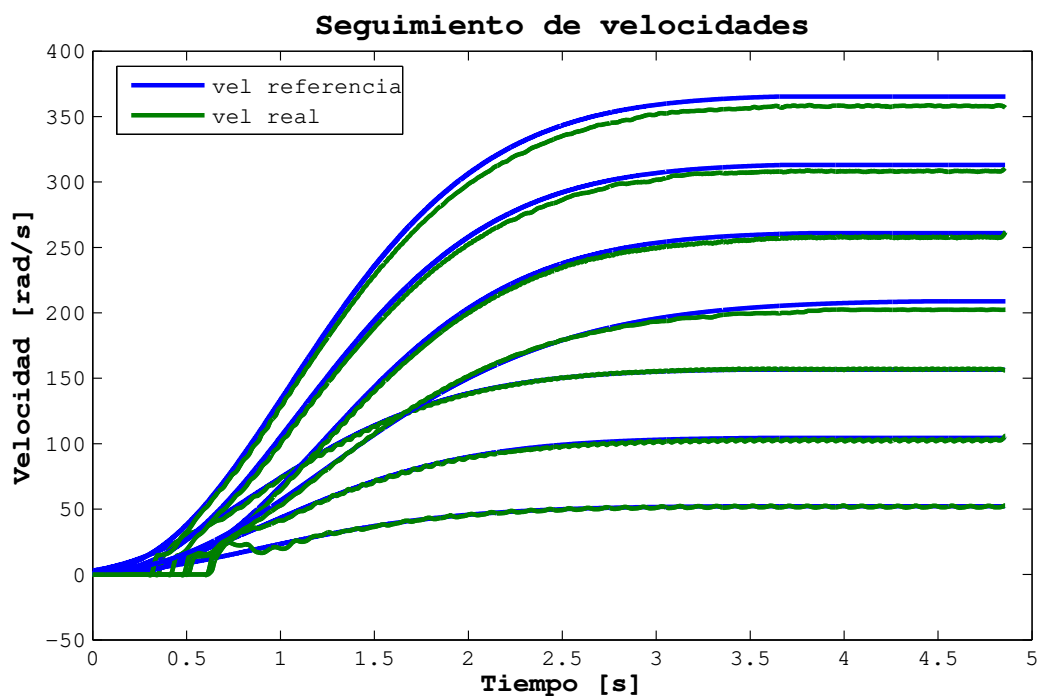


Figura 4.9: Seguimiento de velocidad a diferentes perfiles de velocidad de 500 RPM a 4000 RPM.

4.1.3. Prueba a velocidad alta (3000 RPM)

Con base en los resultados anteriores se puede observar que la velocidad no converge a la referencia (ver Fig. 4.10), esto se debe al cambio de la dinámica del motor en el parámetro K_m , se ajusta este parámetro aumentando en 0.2 y se obtienen mejores resultados fijando una velocidad deseada en 3000 RPM (314.159 rad/s), en la Fig. 4.11 se puede observar que la velocidad converge a la referencia con un error menor de $\pm 5 \text{ rad/s}$ después de compensar los cambios de carga, este error se muestra en la parte inferior de la gráfica.

Durante el mismo periodo en la Fig. 4.12, se muestra el seguimiento de la corriente i_q y la regulación de la corriente i_d al arranque del motor, se observa que la corriente i_d se regula muy cercano a 0 con un valor promedio de $-0.2A$, mientras que el seguimiento de la corriente i_q se logra con un error máximo de $0.5A$ ante los cambios de carga, lo suficiente para mantener la velocidad deseada. En la Fig. 4.13, se muestra la estimación del par de carga en el eje del motor durante el mismo periodo de tiempo, se puede observar una considerable diferencia entre el par medido y el observado, esto se debe a la dinámica mecánica del motor como lo es la fricción que se presenta antes del acoplamiento del sensor y al ajuste en el parámetro K_m el cual fue necesario para compensar la carga aplicada. Finalmente en la Fig. 4.14, se muestran las salidas de control u_d y u_q .

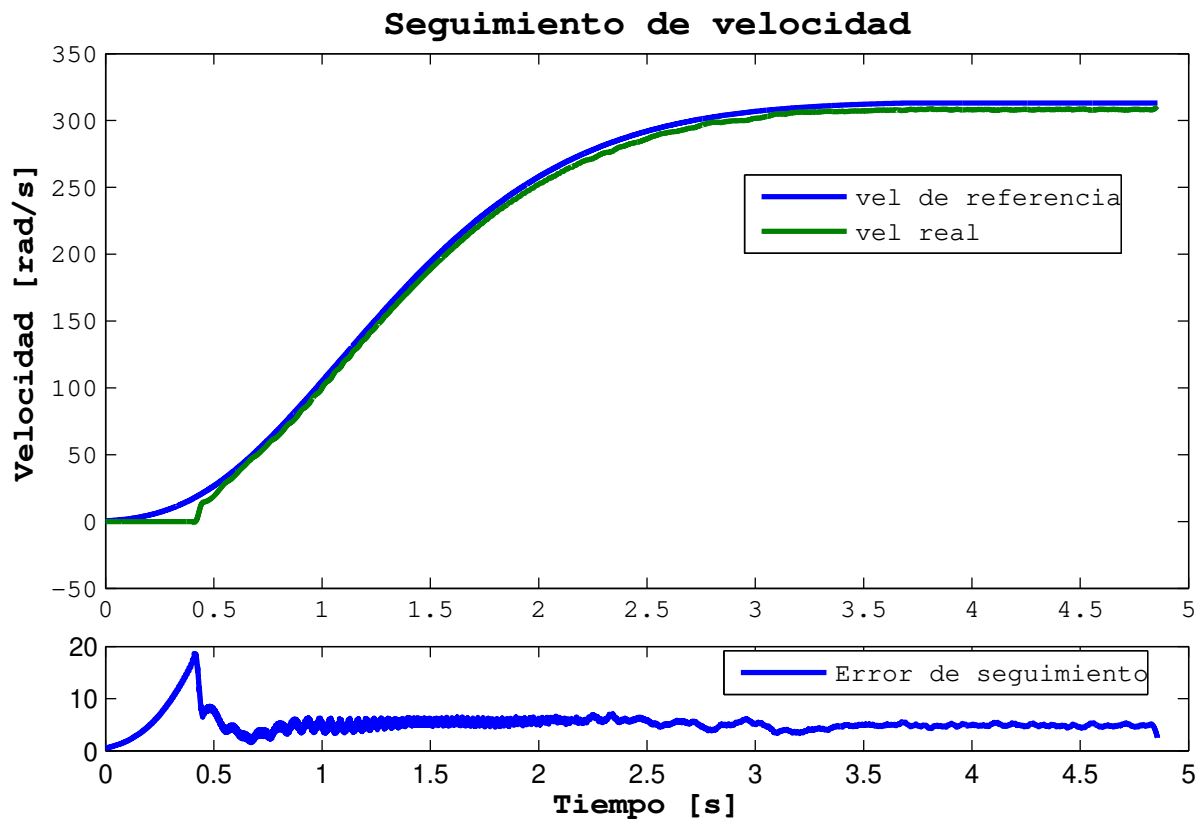


Figura 4.10: Prueba preliminar a una velocidad de 3000 RPM (314.159 rad/s).

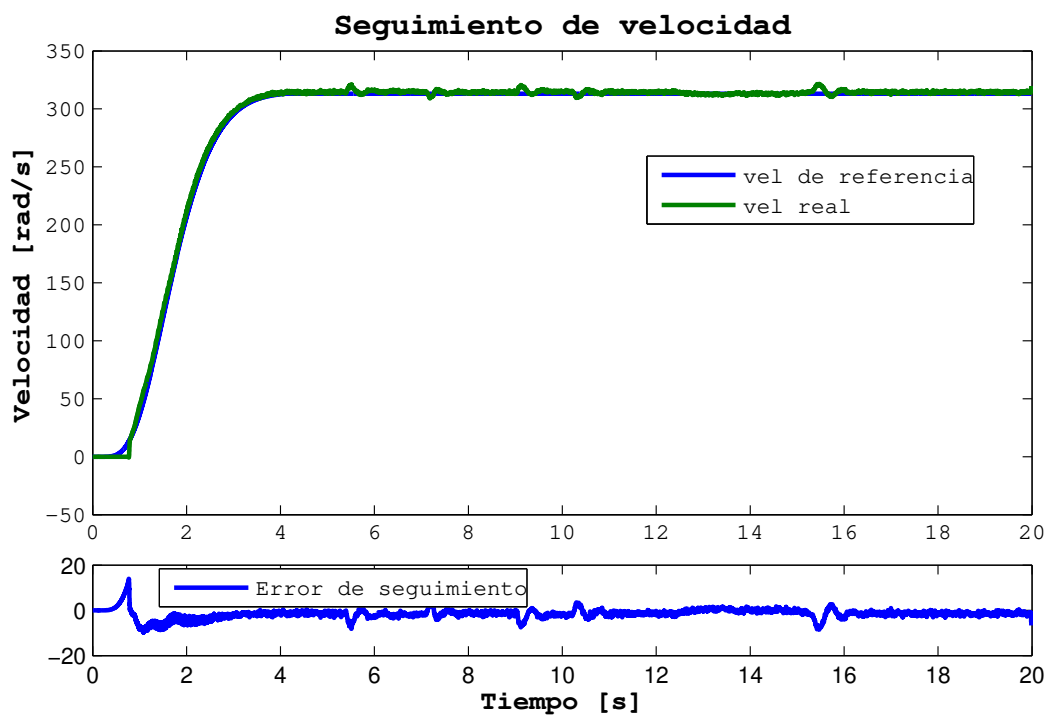


Figura 4.11: Arranque suave del MSIP con seguimiento de velocidad.

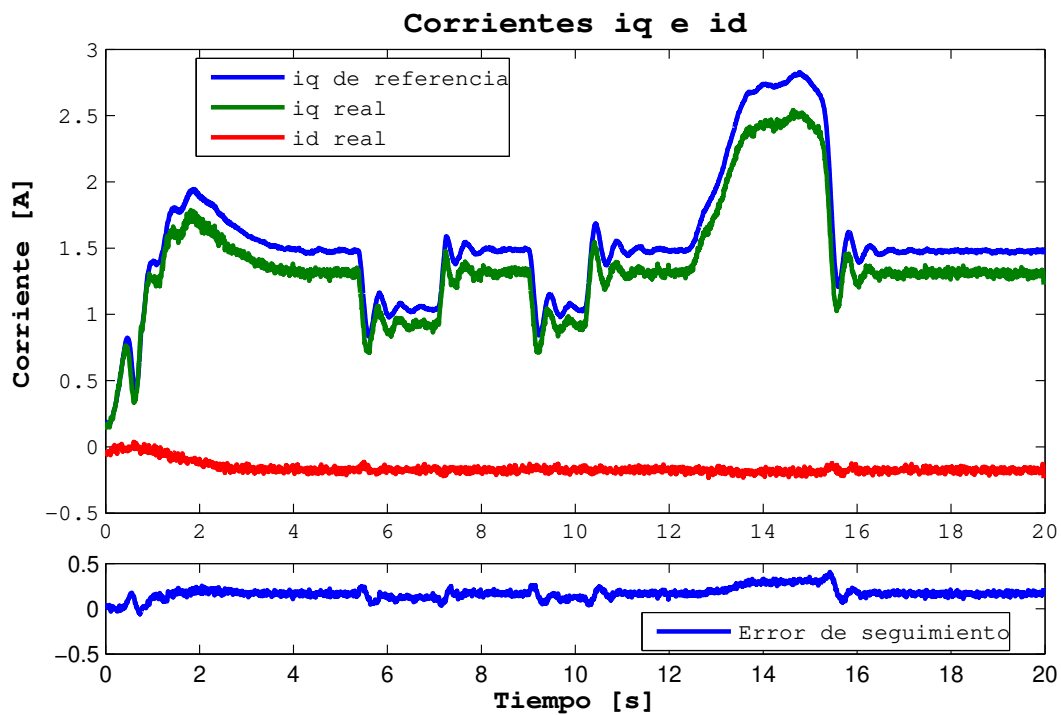


Figura 4.12: Seguimiento de las corrientes i_q e i_d al arranque.

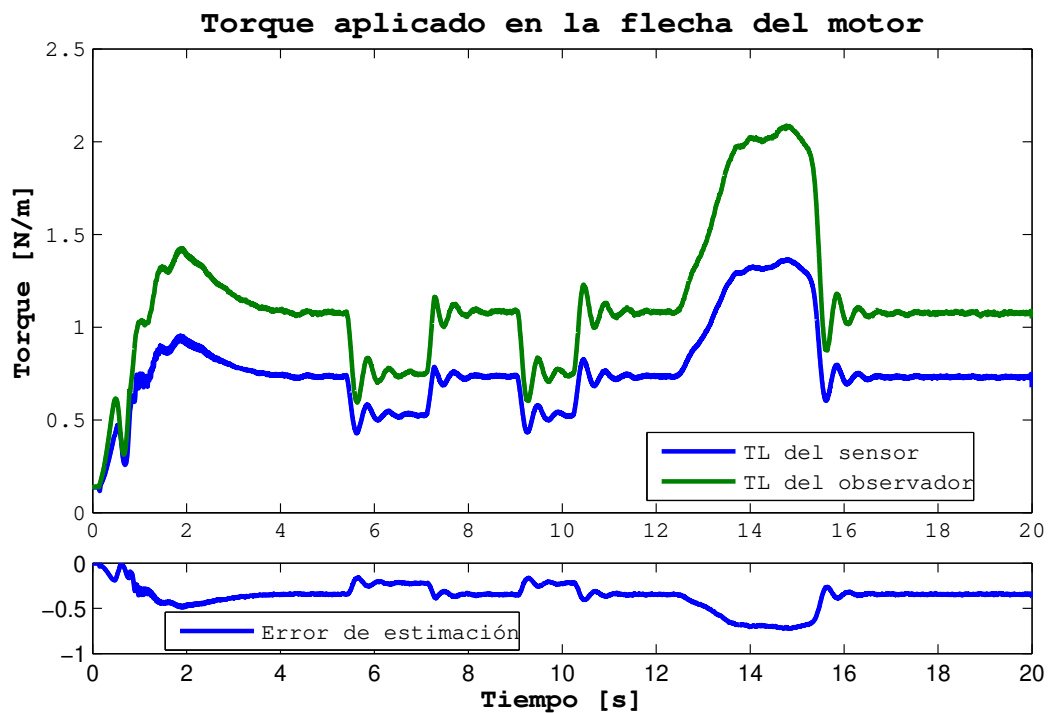


Figura 4.13: Carga estimada en la flecha del motor.

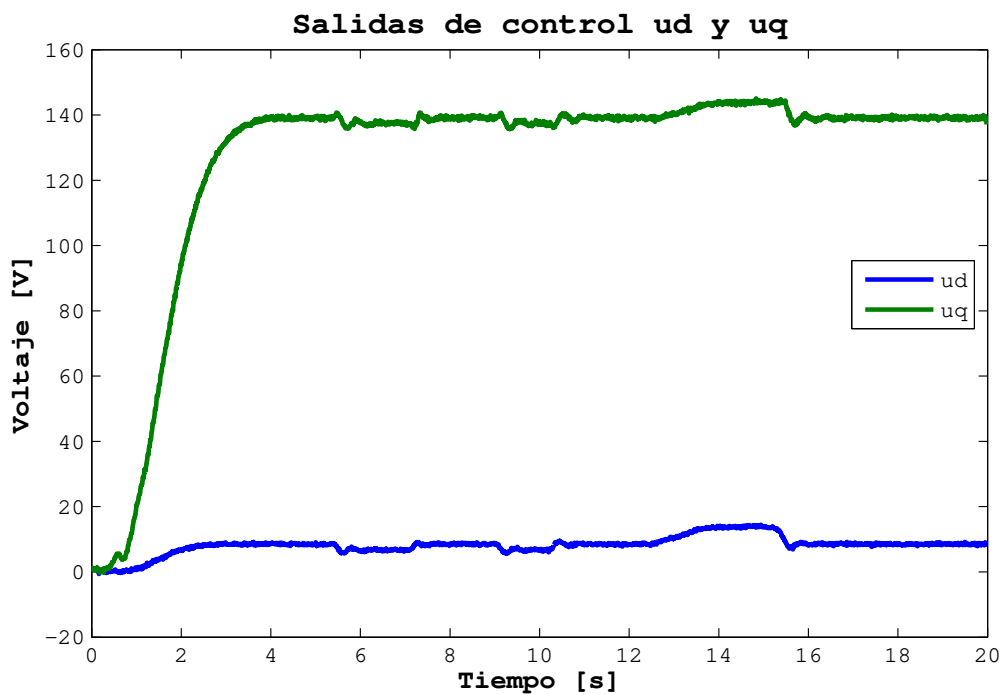


Figura 4.14: Salidas de control u_d y u_q .

Se obtuvieron medidas de voltaje a la salida del inversor de 5 niveles, primero midiendo de F-N ver (Fig. 4.15), podemos observar que se crean correctamente los 5 niveles de voltaje, posteriormente midiendo de F-F (ver Fig. 4.16), se observa que se suman obteniendo ahora 9 niveles.

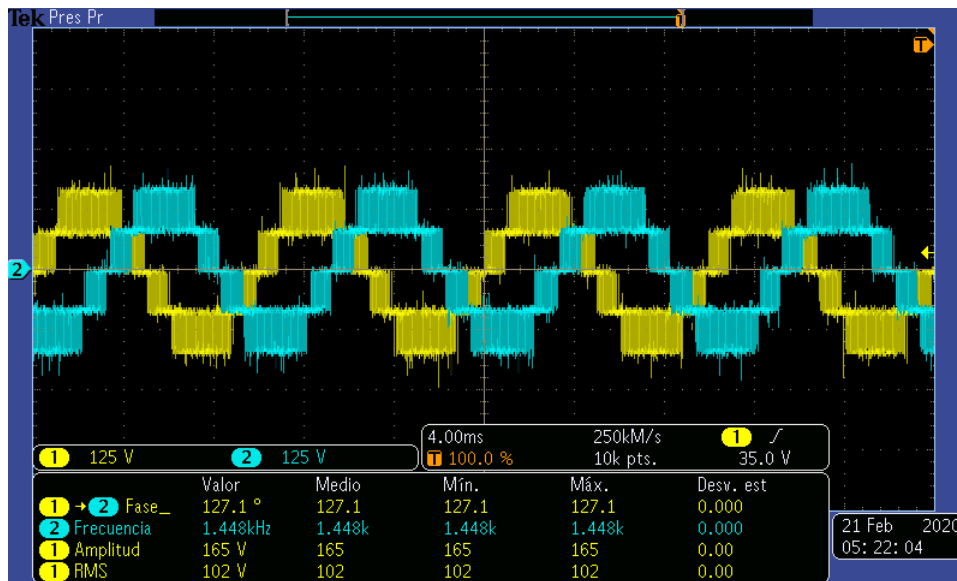


Figura 4.15: Lectura tomada de F1-N y F2-N

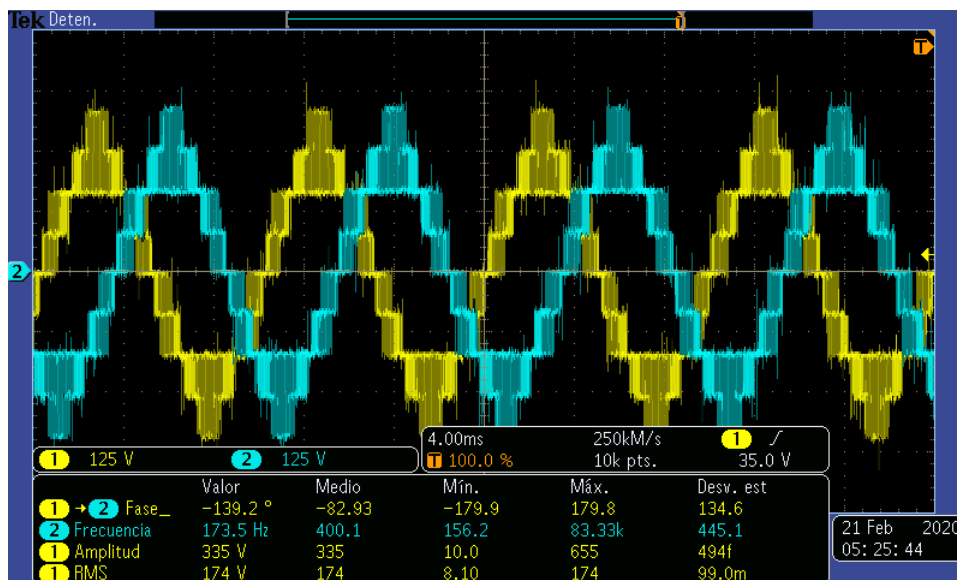


Figura 4.16: Lectura tomada de F1-F2 y F2-F3

Adicionalmente, con los sensores de corriente se puede medir la corriente de las 3 fases que alimentan el motor. En la Fig. 4.17 se muestra la corriente al arranque y en la Fig. 4.18 se

muestra un intervalo de 20s con cambios de carga repentinos la cual está sincronizada con las Figuras 4.11-4.14, en la cual podemos ver los cambios en las corrientes conforme el cambio en la carga en la flecha del motor.

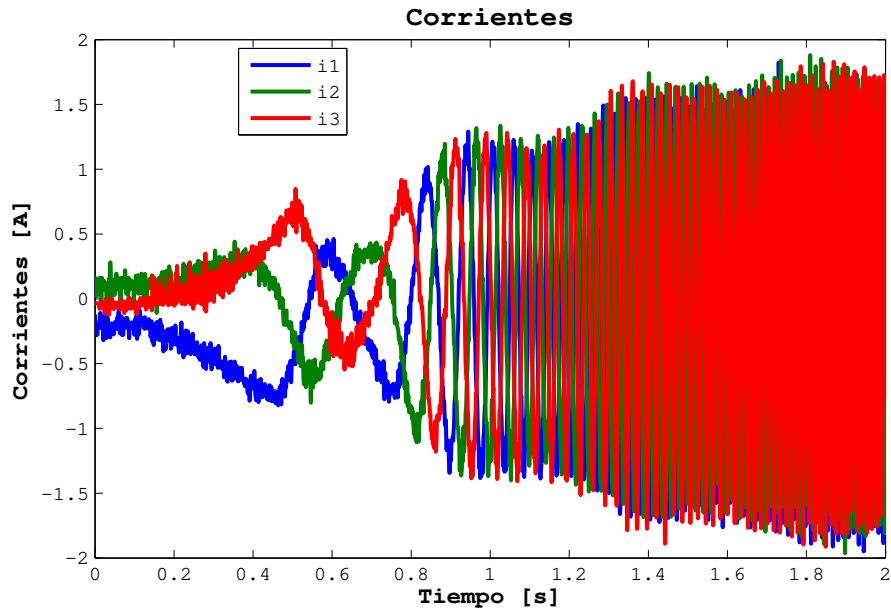


Figura 4.17: Corriente en las tres fases durante el arranque del motor MSIP.

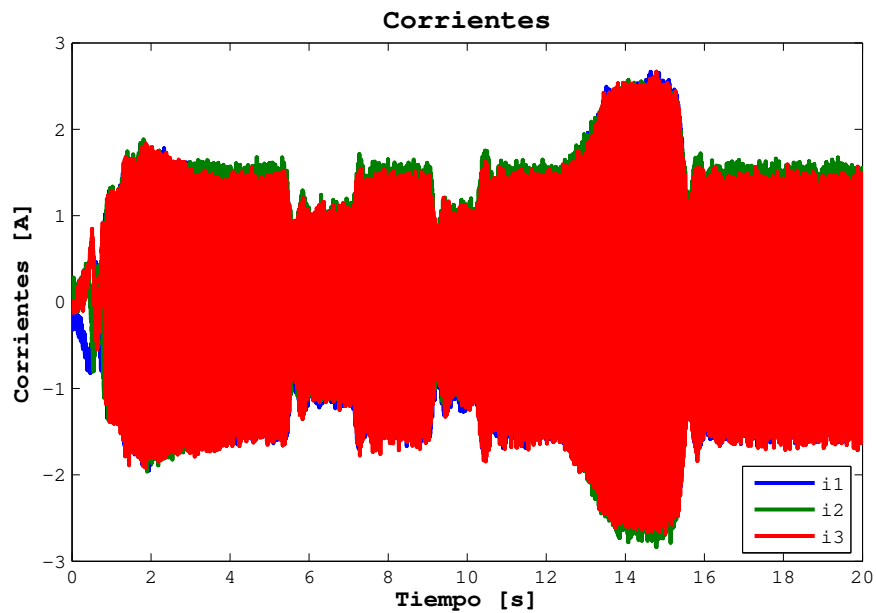


Figura 4.18: Corrientes en un lapso en 20s.

4.1.4. Prueba a velocidad media (1500 RPM)

De igual manera que en el experimento anterior se realiza esta prueba en un intervalo de tiempo de 20s. En la Fig. 4.19 se puede observar que se tiene un seguimiento correcto de la velocidad, sometiénndose a una carga con un pico de $4.5Nm$ la cual es mantenida durante cuatro segundos, se puede observar que la velocidad disminuye, pero se recupera rápidamente; una vez que se deja de aplicar la carga.

Durante el mismo período en la Fig. 4.20, se muestra el seguimiento de la corriente i_q y la regulación de la corriente i_d al arranque del motor. En la Fig. 4.21, se muestra la estimación del par de carga en el eje del motor durante el mismo periodo de tiempo, podemos observar que logramos sobrepasar la carga máxima del motor de $4 N/m$, mientras que el sensor de carga está saturado a un valor de $3.3Nm$ por lo cual no coincide con el valor del observador además del ajuste en el parámetro k_m antes mencionado. Finalmente en la Fig 4.22, se muestran las salidas de control u_d y u_q .

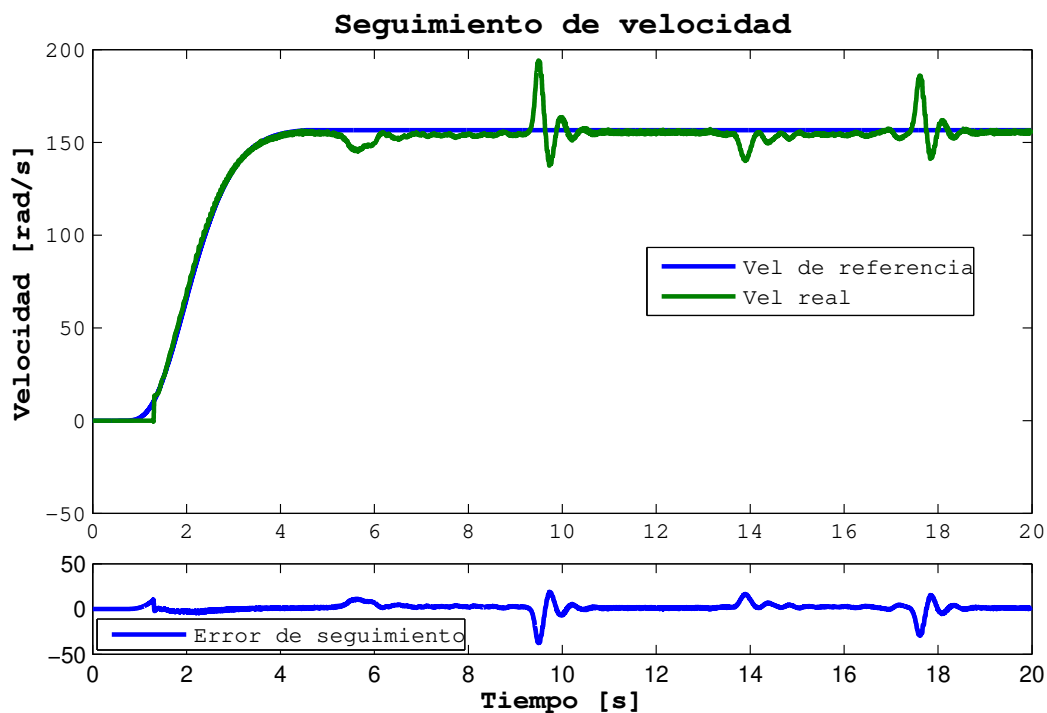


Figura 4.19: Seguimiento de velocidad suave al arranque a 1500 RPM (157.08 rad/s).

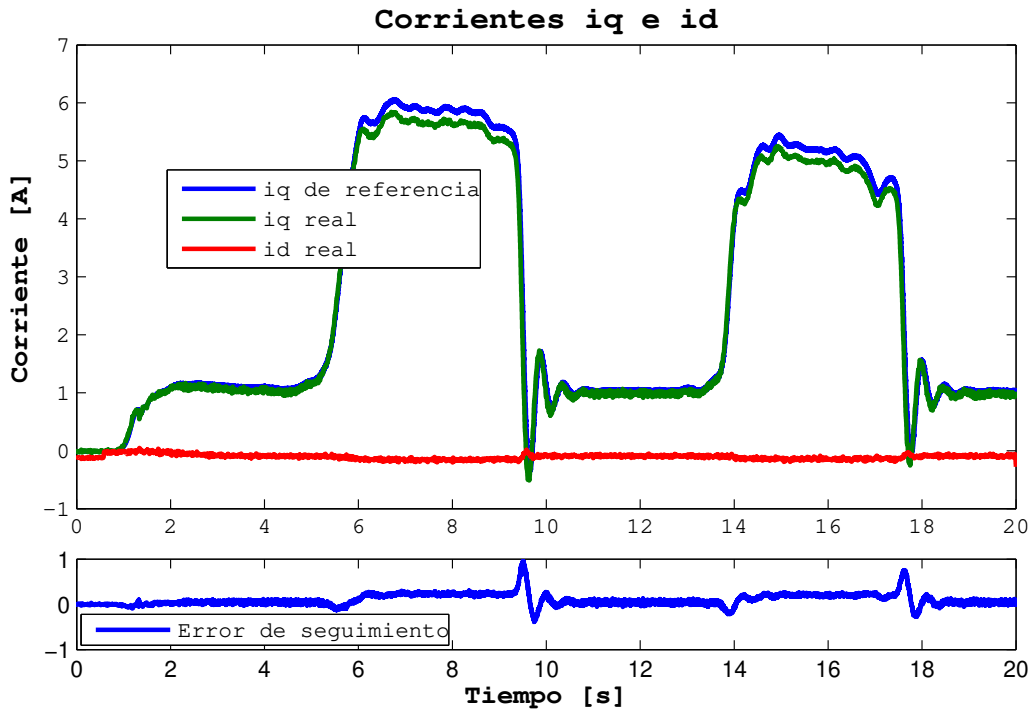


Figura 4.20: Seguimiento de las corrientes iq e id al arranque a 1500 RPM.

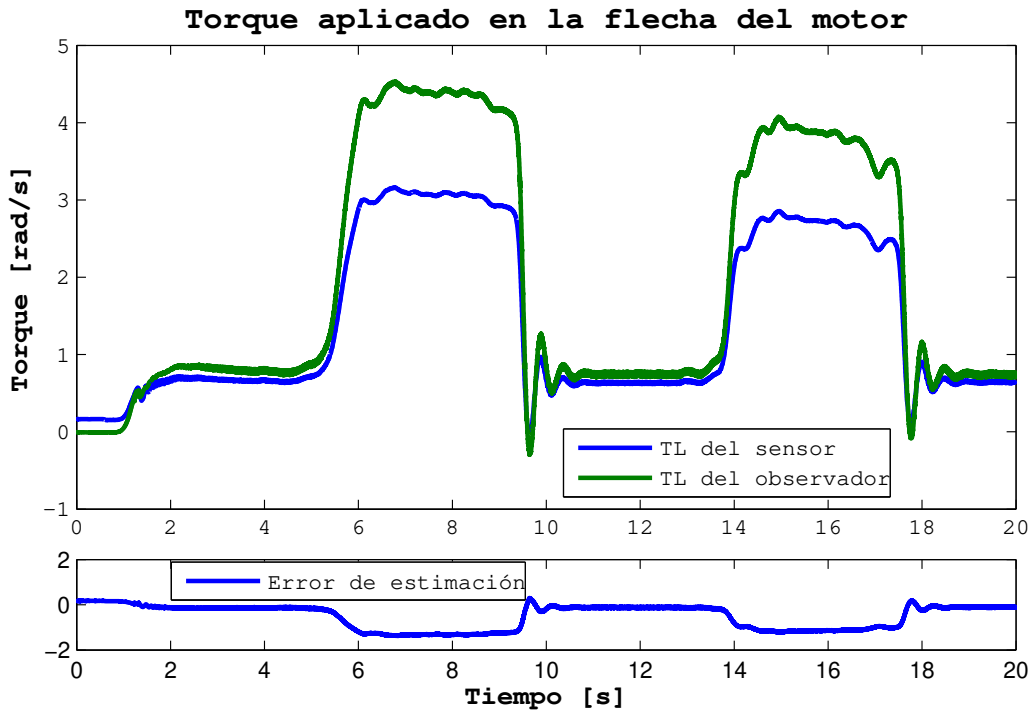


Figura 4.21: Carga estimada en la flecha del motor a 1500RPM.

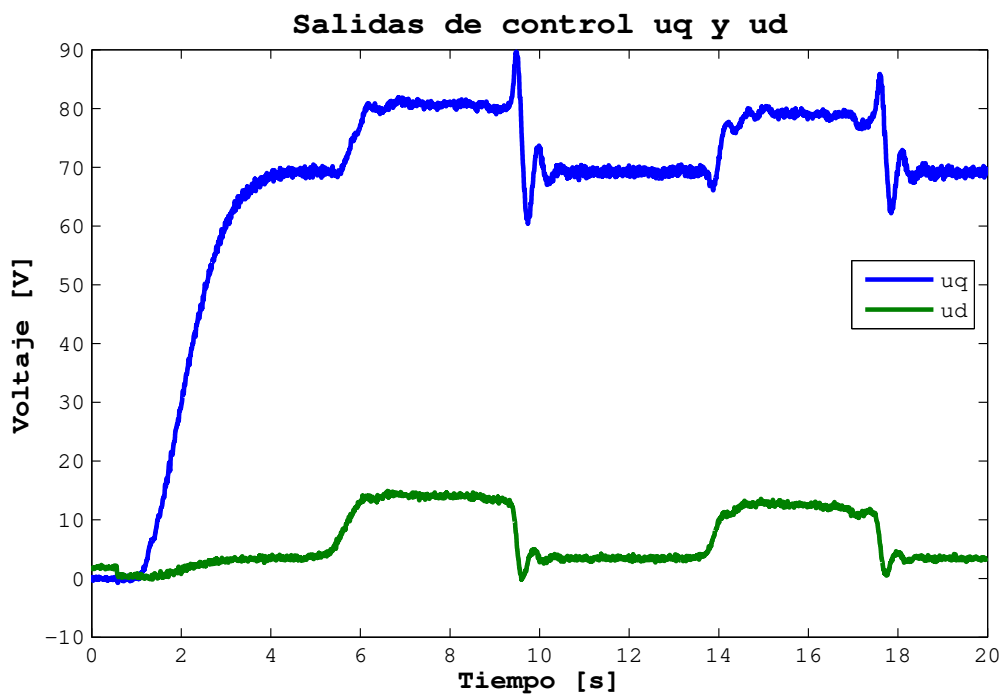


Figura 4.22: Salidas de control u_d y u_q a 1500 RPM.

Adicionalmente, con los sensores de corriente podemos medir la corriente en las 3 fases que alimentan el motor, en la Fig. 4.23 se muestra la corriente al arranque y en la Fig. 4.24 se muestra un lapso de 20s con cambios de carga repentinos la cual está sincronizada con el mismo tiempo de las gráficas pasadas (Fig. 4.19-4.22) en la cual podemos ver los cambios en las corrientes conforme el cambio en la carga en la flecha del motor.

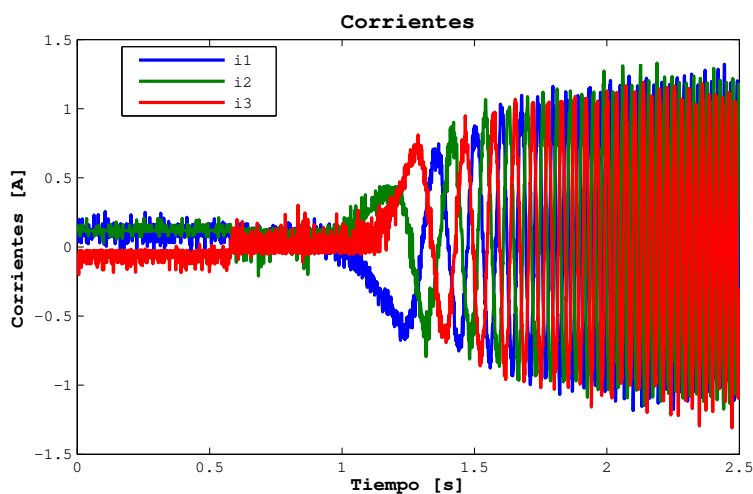


Figura 4.23: Corrientes al arranque del motor a 1500 RPM.

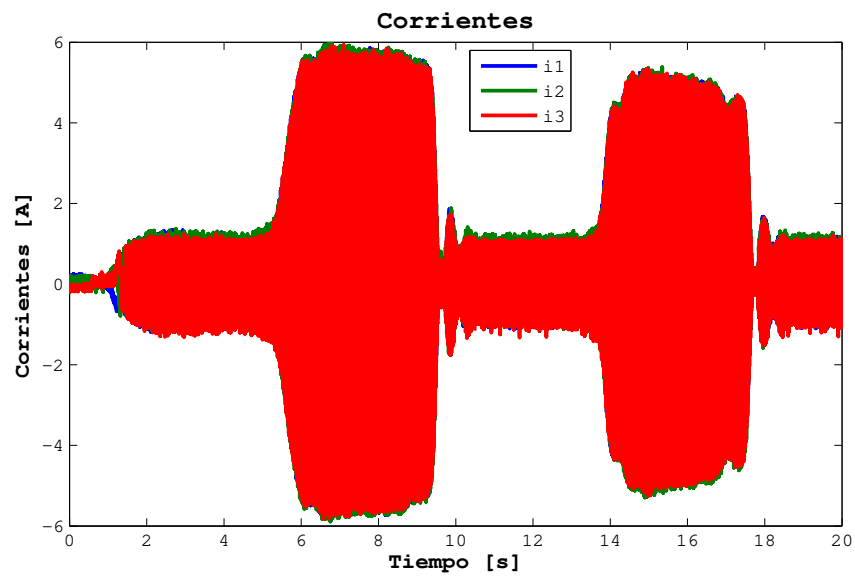


Figura 4.24: Corrientes en un lapso en 20s a 1500 RPM.

Capítulo 5

Conclusiones

En este trabajo se presentó el diseño de un controlador basado en pasividad para el seguimiento suave de velocidad impulsado por un inversor multinivel de celdas en cascada el cual fue implementado un en FPGA.

El controlador se retroalimenta de la salida pasiva, moldeando la energía en lazo cerrado y aumentando el amortiguamiento en lazo cerrado del sistema. Para ello el controlador requiere del conocimiento de las corrientes, las cuales se miden y del conocimiento del par de carga, por lo que se implementó un observador de orden reducido para evitar realizar la medición. Los resultados se exponen en el capítulo 4, con base en ellos se puede enunciar lo siguiente:

- Se logró controlar la velocidad del MSIP en condiciones de operación nominal incluso con picos mayores al par nominal.
- El observador de carga logra una estimación adecuada con lo cual se logra un seguimiento de velocidad robusto ante cambios repentinos de carga.
- La regulación de la corriente i_d en 0 logra una reducción en el contenido armónico en la corriente y voltaje, también un factor de potencia cercano a la unidad. Lo cual reduce el ruido en la instrumentación considerablemente.

Por otra parte, al realizar una implementación modular del controlador en el FPGA, permitirá la reutilización del código, y se podrá utilizar para implementar otros tipos de controladores en el futuro. Gracias a que los valores generados por las operaciones aritméticas utilizan el estándar *IEEE-754* de punto flotantes de 32 bits, se logra obtener exactitud numérica y un amplio rango dinámico en los resultados.

Los diferentes módulos del controlador trabajando de manera paralela logran un periodo de muestreo hasta de $2.66\mu s$, pero dada la aplicación, se fijó un período de muestreo global de $10\mu s$.

Así mismo, gracias a la metodología empleada, se optimizó el uso de recursos en el FPGA, por lo que se logró usar un solo dispositivo de bajo costo de la familia SPARTAN-6 modelo XC6SLX9 de fabricación china.

Por otro lado, en relación al hardware construido, con el inversor multinivel se obtuvieron los siguientes resultados:

- El THD tanto de voltaje como de corriente es menor al 5% (el medido fue de 1.9%), por lo tanto se cumple la segunda hipótesis planteada inicialmente.
- El uso de filtros pasa-bajas para la lectura de las corrientes no fue necesario dada la buena calidad en la forma de onda de las corrientes entregadas por el inversor multinivel y al filtrado natural de la carga inductiva.
- La potencia máxima del inversor calculada es de $4.5kW$ y la nominal del motor es de $1.23kW$ con lo que se cuenta con un gran margen para aplicaciones futuras.
- La caída de voltaje en cada fuente de las celdas no fue mayor a $5V$.
- El uso de disipadores de calor en los mosfets no fue necesario, dado la baja potencia consumida por el MSIP.

Respecto a las metas planteadas en este trabajo, se concluye lo siguiente:

- El período de muestreo fijado es de $10\mu s$, 100 veces más rápido que el propuesto de $1ms$. Cabe recordar que el obtenido fue mucho menor ($1.2\mu s$).
- Gracias a la metodología empleada se utiliza un solo dispositivo FPGA.
- Se realizó la publicación de un artículo y una colaboración, ambos para la revista IN-GENIUS (ver apéndices B y C).

Finalmente, el desempeño del controlador se mejoró considerablemente en términos del tiempo de ejecución y desempeño comparado con el trabajo de Escobar y colaboradores en [12], por lo que se verifica la primera hipótesis planteada. Se logra aplicar una carga mucho mayor a dos diferentes perfiles de velocidad. Además la caída de velocidad al aplicar la carga es mucho menor, con lo cual se verifica la hipótesis planteada.

5.1. Trabajos futuros

Con el fin de enriquecer esta línea de investigación se proponen los siguientes trabajos futuros:

- ✓ Rediseñar la instrumentación y diseño de los PCBs con el fin de reducir espacio y mejorar el aislamiento ante el ruido electromagnético.
- ✓ Diseño de filtros digitales en el FPGA para mejorar el desempeño del controlador.
- ✓ Implementar observadores de estado para la posición, velocidad y fuerza contraelectromotriz.
- ✓ Construir una plataforma experimental con la cual se realicen pruebas con cargas más grandes.
- ✓ Implementar otras técnicas de control con el fin de conseguir un bajo periodo de muestreo.

- ✓ Diseñar la arquitectura propuesta ahora con otro FPGA que contenga elementos de diseño más modernos (DSPs, reloj más rápido, etc).
- ✓ Incrementar la potencia del motor con el fin de aprovechar la potencia máxima del inversor multinivel.

Apéndice A

Plataforma Experimental

En este anexo se describe cada uno de los componentes utilizados en la plataforma experimental.

La configuración eléctrica de la plataforma del inversor multinivel se muestra con un diagrama unifilar en la Fig. A.1.

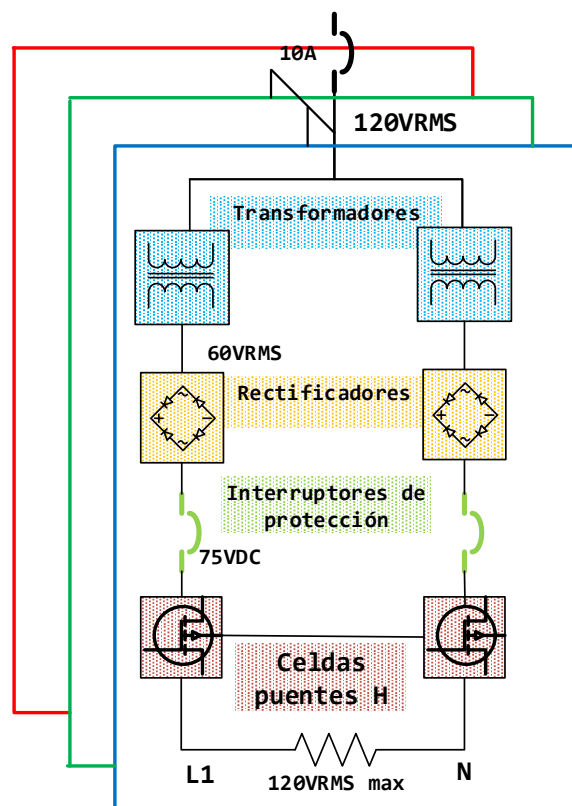


Figura A.1: Diagrama unifilar del inversor multinivel.

En la Fig. A.2 se muestra la plataforma experimental utilizada para las pruebas de laboratorio. Las señales de control son generados por el FPGA, que sirven para conmutar el inversor multinivel y generar una potencia de $4.5kW$ con buen margen para el MSIP de acuerdo a la trayectoria de referencia deseada. La plataforma experimental está conformada por los siguientes elementos:

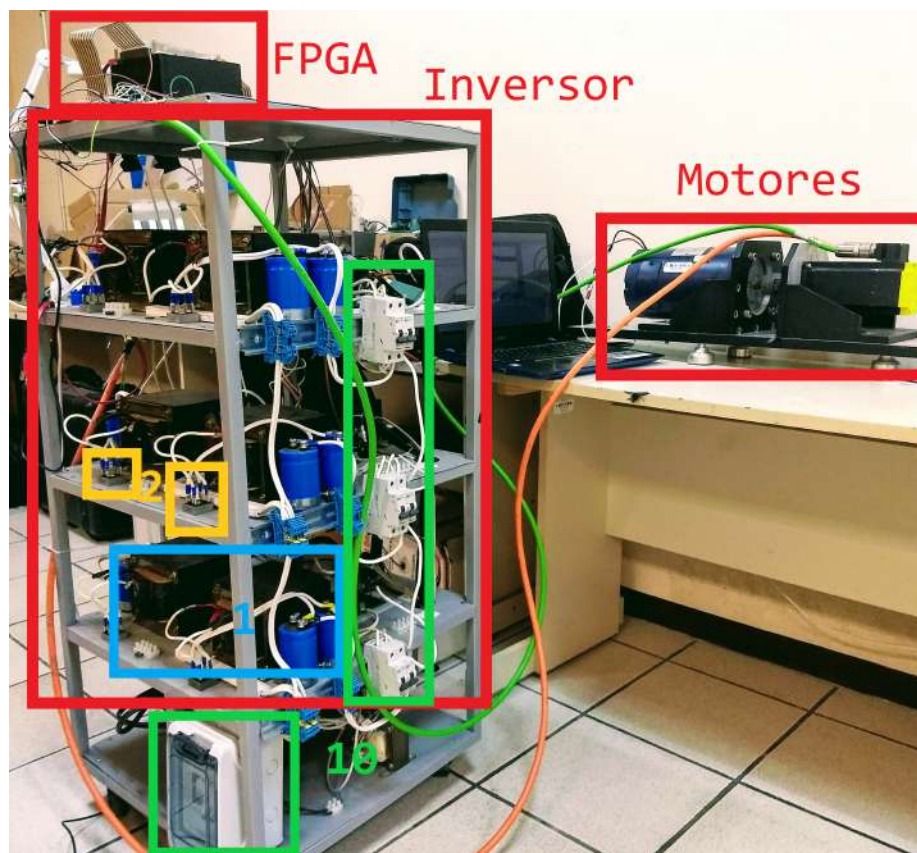
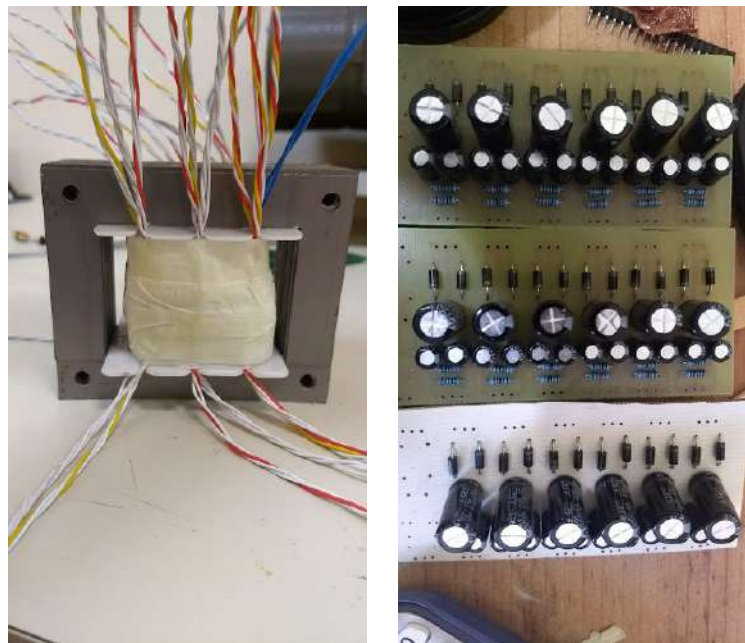


Figura A.2: Plataforma experimental.

1. Fuentes de CD para impulsores de compuerta.
2. Celdas de puentes-H.
3. Centro de carga principal.
4. Transformador de las fuentes de CD aisladas.
5. Transformador de la fuente de CD.
6. Puente de diodos.
7. Capacitores de la fuente de CD.
8. Interruptores de protección.

A.1. Diseño de la fuente de alimentación para los impulsores de los dispositivos de conmutación de potencia

Las fuentes de CD aisladas se utilizan para la alimentación de los impulsores de compuerta basados en el PC923, el diseño de esta fuente requiere un transformador el cual fue construido con 30 devanados secundarios de baja potencia (100 mA) a 20V RMS con derivación central ver Fig. A.3(a). También se construye la etapa de rectificación la cual se muestra en la Fig. A.3(b). El diagrama eléctrico se muestra en la Fig. A.4.



(a) Transformador para las fuentes de CD aisladas. (b) Rectificadores de las fuentes de CD aisladas.

Figura A.3: Fuentes de alimentación para los impulsores de compuerta.

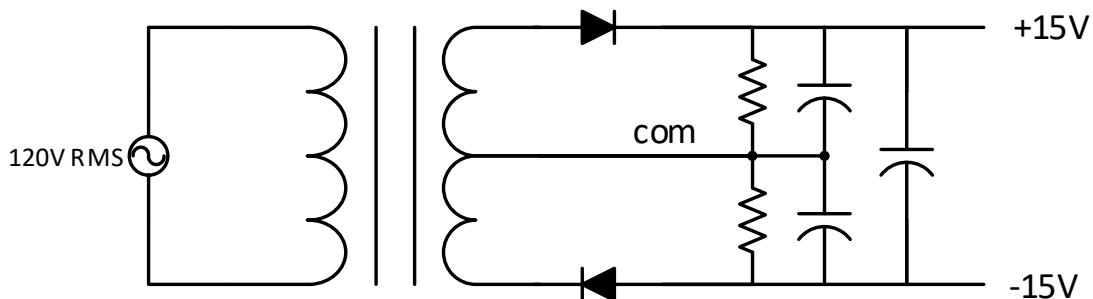


Figura A.4: Diagrama eléctrico de la fuente de alimentación para los impulsores de compuerta.

A.2. Puente-H

El diseño de estas celdas se trabajó anteriormente en [3], este diseño consta de un arreglo de MOSFETs IRP250 en puente H, optoacoplados con PC923. El diseño de los PCBs se muestran en la Fig. A.5. La celda ya fabricada y conectada se muestra en la Fig. A.6.

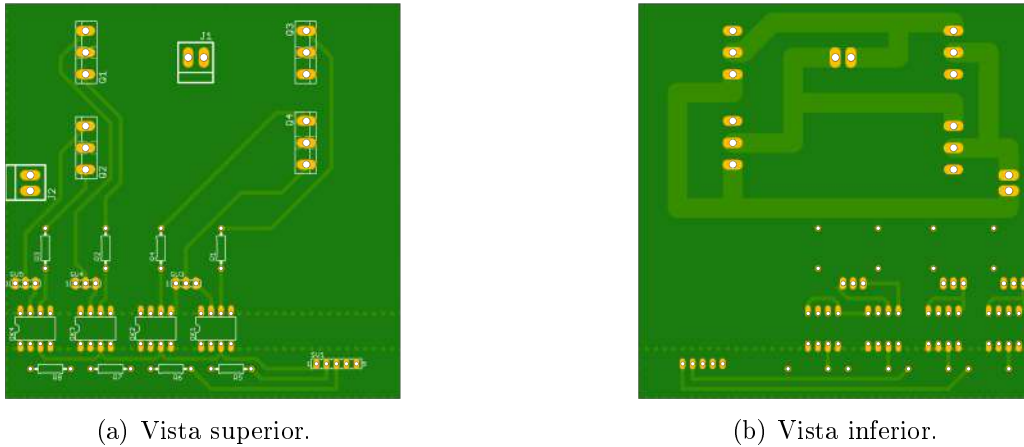


Figura A.5: Diseño del PCB de las celdas.

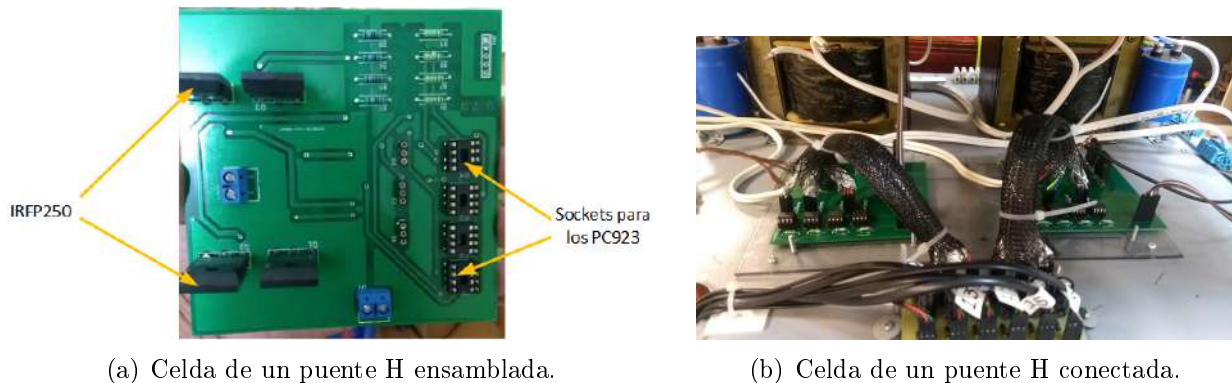


Figura A.6: Celdas de puente H.

A.3. Fuentes de CD para las celdas de potencia

Las fuentes de CD son construidas con un transformador de relación 2:1 uno para cada celda, el cual reduce de 110V a 60V RMS, el voltaje al es rectificado por un puente de diodos y es filtrado por un arreglo de 2 capacitores de $15000\mu F$ conectados en serie, resultando un voltaje de CD de 85V, esto se puede ver en la Fig. A.7.

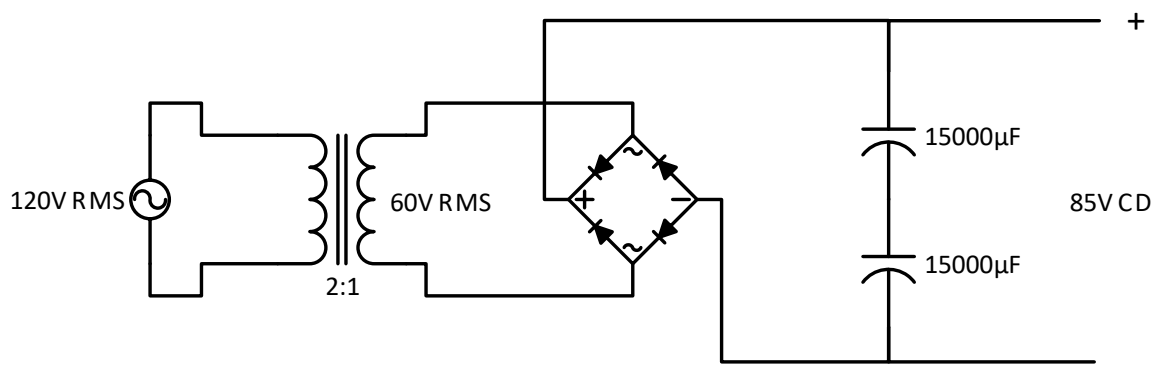


Figura A.7: Diagrama eléctrico de las fuentes de CD.

A.3.1. Transformadores

Los transformadores utilizados no contaba con una placa de características, este se muestra en la Fig. A.8. Una vez realizada su caracterización se obtuvo que la relación de transformación es de 2:1. Estos transformadores se usan para la construcción de las fuentes de CD.



Figura A.8: Vista superior del transformador.

A.4. Descripción de la tarjeta de desarrollo basada en FPGA

El Kit de desarrollo utilizado es de la marca ALINX modelo AX309 mostrado en la Fig. A.9, que cuenta con un FPGA SPARTAN-6 XC6SLX9, el cual es una plataforma de desarrollo de bajo costo, sus características se pueden ver en la Tabla A.1.



Figura A.9: Kit de desarrollo.

1	FPGA model: XC6SLX9	2	SDRAM: 256Mbit
3	FLASH: 16Mbit	4	CP2101 USB a serial chip
5	USB power/USB serial interface	6	Interruptor de encendido
7	JTAG interface de descarga	8	Puerto de expansión
9	VGA interfaz	10	SD interfaz de memoria
11	Reloj de tiempo real DS1302	12	4 botones push y uno de reset
13	6 bits digital display	14	EEPROM 24LC04
15	4 LEDs	16	50 MHz cristal
17	Buzzer	18	Power conversion chip
19	40 pin interfaz de expansión	20	40 pin interfaz de expansión
21	Número de E/S de expansión: 68	22	IO port level: 3.3V

Tabla A.1: Características integradas de la tarjeta de desarrollo.

A.5. Características del MSIP empleado

El motor utilizado es de la marca BALDOR cuyas características eléctricas principales se muestran en la Tabla A.2, en la Fig. A.10 se muestra el MSIP acoplado al sensor de par de carga y a un motor de CD que funciona como carga con características mostradas en la Tabla A.3.

Parámetro	valor
CAT.NO.	BSM80N-275AF
SPEC.	S2P141W042G1
TORQ CONT STALL	3.2 NM
CUR CONT STALL/A RMS	4
POWER	1.23kW
RATED SPEED/RPM	4000
RATED BUS VOLTS	300
PEAK CUR/A RMS	14.4
MAX SPEED/RPM	7000
CLASS	F
AMB.	25

Tabla A.2: Parámetros del motor.



Figura A.10: MSIP empleado (izquierda), sensor de carga (centro) y motor de CD usado como carga (derecha).

Párametro	Valor
Marca	Leeson
Cat. No.	098004.00
Model	C42D17FK4C
RPM	1750
H.P.	1/3
Volts	90
Amps	3.5
Torque	1.355581 Nm

Tabla A.3: Parámetros del motor de CD.

A.6. Instrumentación adicional utilizada

Para la medición de la corriente del MSIP se conectan en serie y en cada fase los sensores ACS759LCB-050B-PFF-T de la marca Allegro con una capacidad de detección máxima de $\pm 50A$, este entrega una señal analógica en 3.3V con referencia (0A) en 1.65V. Posteriormente esta señal es convertida por un convertidor analógico a digital, inspirado en el diseño del Pmod AD1 de la marca Diligent con el dispositivo AD7476A, el cual nos manda la lectura por medio de I2C de 10 bits.

La lista resumen de dispositivos usados en la instrumentación se muestra en la tabla A.4.

Dispositivo	Descripción
IRFP250	MOSFET: interruptores de los puentes H
PC923	Fotoacoplador: Impulsores de compuerta de MOSFET
ACS759LCB-050B-PFF-T	Sensor de corriente
AD7476A	Convertidor analógico a digital
FUTEK TRS600 FSH01996	Sensor rotatorio de torque

Tabla A.4: Instrumentación utilizada.

Apéndice B

Artículo publicado



CONTROL DE VELOCIDAD DE UN MOTOR SÍNCRONO DE IMANES PERMANENTES ACCIONADO POR UN INVERSOR TRIFÁSICO MULTINIVEL

SPEED CONTROL OF A PERMANENT MAGNET SYNCHRONOUS MOTOR ACTUATED BY A THREE-PHASE MULTI LEVEL INVERTER

Rosalino Mayoral Lagunes¹, José Antonio Juárez Abad², Beatriz Angélica Aguilar
López¹, Jesús Linares Flores², Jorge Luis Barahona Ávalos²

Resumen

Este trabajo presenta el diseño e implementación de un controlador robusto para el seguimiento de velocidad de un motor síncrono de imanes permanentes (MSIP). Se propone un controlador lineal basado en la retroalimentación dinámica de la salida pasiva estática del error exacto. El controlador pasivo propuesto requiere del conocimiento del par de carga, por lo que el mismo es estimado con un observador tradicional de orden reducido. El MSIP es impulsado por medio de un inversor multinivel trifásico de celdas en cascada de cinco niveles. Para la implementación del controlador, estimador y modulador multinivel se emplea un arreglo de compuertas programable en campo (FPGA) de la familia Spartan-6 XC6SLX9. El procesamiento en paralelo que provee este dispositivo permite obtener un tiempo de muestreo de 10 us. Los resultados de simulación y experimentales muestran que el controlador propuesto tiene un excelente desempeño.

Palabras clave: PMSM, control por pasividad, inversor multinivel, FPGA.

Abstract

This paper presents the design and FPGA embedded implementation of robust controller design to speed tracking problem for a Permanent Magnet Synchronous Motor (PMSM). Then, a linear controller based on the exact static error dynamics passive output feedback (ESEDPOF) is proposed, where the uncertainty estimation is taken into account. The technique of passivity requires knowing the load torque, this is estimated with a traditional reduced-order observer. PMSM is driven by a five levels Three-Phase Cascaded Cell Multi-Level Inverter (3 Φ -CCMLI). The medium-scale field-programmable gate array (FPGA) Spartan-6 XC6SLX9 is used for implementing the ESEDPOF controller, the reduced-order observer, and the multilevel pulse width modulator. The parallel processing provided by these devices allowed to obtain a sampling time of 10us. Simulation and Experimental validation shows an excellent dynamical performance.

Keywords: PMSM, Passivity Based Control, Multi Level Inverter, FPGA.

^{1,*}División de Estudios de Posgrado, Universidad Tecnológica de la Mixteca – México.

<http://orcid.org/0000-0003-3420-7416>, <http://orcid.org/0000-0002-2769-4992>.

²Instituto de Electrónica y Mecatrónica, Universidad Tecnológica de la Mixteca – México.

Autor para correspondencia ✉: jbarahona@mixteco.utm.mx. <http://orcid.org/0000-0001-7440-0849>,

<http://orcid.org/0000-0002-5723-4786>, <http://orcid.org/0000-0002-5502-6692>.

Recibido: 22-11-2019, aprobado tras revisión: 13-12-2019

Forma sugerida de citación: Mayoral Lagunes, R.; Juárez Abad, J. A.; Aguilar López, B. A.; Linares Flores, J. y Barahona Ávalos, J. L. (2020). «Control de velocidad de un motor síncrono de imanes permanentes accionado por un inversor trifásico multinivel». *INGENIUS*. N.º 23, (enero-junio). pp. 97-108. DOI: <https://doi.org/10.17163/ings.n23.2020.09>.

1. Introducción

Los motores eléctricos son actuadores que se utilizan en la mayoría de la maquinaria industrial y en electrodomésticos; su posición y/o velocidad son controladas para que puedan cumplir con alguna tarea específica, entre las que podemos encontrar: máquinas CNC, bandas transportadoras, robótica y otros procesos industriales. Dentro de estas aplicaciones es común encontrar motores síncronos de imanes permanentes (MSIP), los cuales tienen una mejor precisión en términos de velocidad y posición debido a su propiedad de sincronía. Recientemente, los controladores que permiten modificar dichas magnitudes se realizan por medio de dispositivos reprogramables y reconfigurables, tales como DSP y FPGA respectivamente [1, 2].

Para este tipo de motores se han propuesto diversos esquemas de control tales como el control basado en pasividad mostrado en [3] y el de un controlador basado en la técnica Backstepping para el seguimiento de posición el cual se muestra en [4].

Los MSIP deben ser accionados por medio de un inversor trifásico, el cual preferentemente deberá entregar una onda de voltaje con la menor cantidad de armónicos posibles, ya que en caso contrario se pueden generar algunos daños bien conocidos, tanto en la parte eléctrica como en la parte mecánica del motor [5]. En este trabajo, se construye un inversor trifásico multinivel de cinco niveles, con el cual se reduce el contenido armónico y mejorar así la calidad del voltaje de alimentación hacia el motor [6]. Una característica adicional de este tipo de convertidor es que maneja mayor potencia, pues esta se distribuye en los arreglos en serie que conforman los dispositivos de conmutación [7–9].

Este trabajo está estructurado de la siguiente manera, en la sección 2 se describe brevemente el sistema a controlar, a continuación, en la sección 3 se describe la metodología empleada centrada para la implementación de sistemas de procesamiento en FPGA tomada de [10–14]; dicha metodología posee dos fases las cuales son tratadas en las secciones 4 y 5. Posteriormente en la sección 6 se describe la construcción del convertidor de potencia empleado, en este caso el inversor trifásico multinivel de cinco niveles y finalmente en la sección 7 se presentan los resultados experimentales obtenidos.

2. Descripción del sistema

Se implementa un control basado en pasividad para el seguimiento suave de la velocidad de un motor síncrono de imanes permanentes, accionado por un inversor trifásico de topología en cascada de 5 niveles. Esto se realiza empleando un dispositivo de lógica reconfigurable.

En la Figura 1 se muestra el esquema del sistema propuesto. El MSIP está accionando una carga mecánica desconocida, la alimentación del motor es suministrada por el inversor trifásico de 5 niveles. El controlador basado en pasividad, el procesamiento de señales y el modulador PS-PWM son implementados en un FPGA.

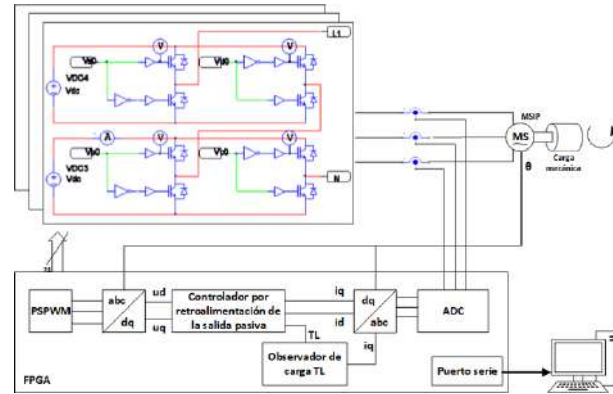


Figura 1. Esquema general del sistema.

3. Metodología

De acuerdo con la metodología empleada, tomada de [8], este trabajo se divide en 2 fases, la primera de las cuales, de manera general tiene que ver con el modelado del sistema y el análisis de las propiedades matemáticas de este modelo para realizar la formulación del controlador del sistema. La segunda fase trata sobre la implementación del algoritmo de control formulado en la fase 1 y los módulos complementarios los cuales serán implementados en el dispositivo de lógica reconfigurable. Cada una de estas fases se describe con mayor detalle a continuación.

La fase 1 se resume de manera gráfica en la Figura 2. Esta fase es independiente del dispositivo a utilizar en la implementación y se divide a su vez en 3 etapas:

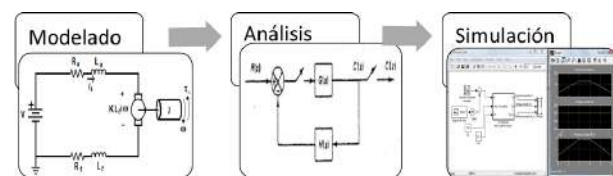


Figura 2. Fase 1 de la metodología.

1. **Modelado:** En esta etapa se modelan matemáticamente el MSIP y el inversor trifásico multinivel empleando las leyes o teoremas necesarios para la obtención de las ecuaciones diferenciales del sistema.
2. **Análisis:** Se analizan los modelos dinámicos de la combinación inversor-motor y por medio de

herramientas algebraicas, se diseña el controlador propuesto y se determina la factibilidad de todo el sistema.

3. **Simulación:** En esta etapa se simulan los modelos matemáticos obtenidos para confirmar la aproximación al sistema real; para ello se utiliza el *software* Matlab/Simulink en cosimulación con el *software* PSIM.

Para la fase 2, la metodología de diseño propuesta se resume en la Figura 3 la cual cuenta con 7 etapas. Esta propuesta es una solución equilibrada entre dos necesidades opuestas: 1) un método amigable que se adapta perfectamente a un ingeniero de control que no es un experto en diseño digital y 2) obtener un buen rendimiento del sistema control [10]. Las etapas mencionadas se describen a continuación:

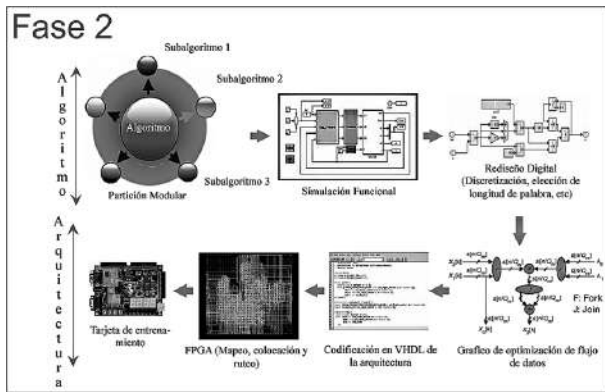


Figura 3. Fase 2 de la metodología. [10]

1. **Partición modular:** Consiste en dividir el algoritmo en bloques reutilizables que tienen sentido desde un punto de vista funcional, es decir, el algoritmo de control y el modulador del inversor se dividen en módulos y se identifican aquellos que puedan ser reutilizables como operaciones, codificadores, tablas de búsqueda, etc. Se trata de dividir el diseño en partes más pequeñas que puedan ser manejables.
2. **Simulación funcional:** En esta etapa el controlador se valida en función de bloques en tiempo continuo empleando por ejemplo el *software* MATLAB-Simulink.
3. **Rediseño digital:** Esta etapa es muy importante, ya que se incluye la realización del filtro digital, la elección del período de muestreo, la elección del formato de coeficientes y variables acorde con las necesidades y restricciones del control tales como: longitud de palabra, punto fijo o punto flotante, entre otros.

Las cuatro etapas finales son para la implementación basada en FPGA y consisten en lo siguiente:

4. **Gráfico de optimización del flujo de datos:** En esta etapa se modela el flujo de datos del algoritmo para tener el mejor balance en términos de tiempo/área, para esto se obtiene una representación gráfica de cada módulo del algoritmo. La representación gráfica está compuesta de líneas y nodos, cada línea corresponde a una transferencia de datos y los nodos representan operaciones aritméticas o funciones lógicas o matemáticas.
5. **Codificación HDL:** A partir del gráfico de flujo de datos de la etapa anterior se transcribe a código VHDL; las transferencias de datos por lo regular son controladas por máquinas de estados finitos síncronas a la señal de reloj del FPGA.
6. **Implementación en FPGA:** Este es un proceso automático y es realizado por lo regular con la herramienta que proporciona el fabricante del dispositivo, en esta etapa se realiza el mapeo de las funciones resultantes, colocación y ruteo.
7. **Validación experimental:** Consiste en integrar todo el sistema, se realizan pruebas de rendimiento, y se ajustan los parámetros necesarios hasta obtener los resultados deseados.

4. Fase 1 de la metodología

4.1. Control por ETEDPOF, modelado y análisis

Partiendo del modelo $d - q$ obtenido de las ecuaciones del modelo matemático original obtenido en [15], se calculan los voltajes de entrada $u = [u_d u_q]$ y las corrientes de entrada $i = [i_d i_q]$ en el eje coordenado $d - q$. Para el diseño del controlador se supone que se conoce la velocidad angular y el par de carga. Para comenzar con el diseño del controlador por retroalimentación de la salida pasiva, se considera el siguiente modelo en el eje coordenado $d - q$ [3]:

$$\begin{aligned}
 L \frac{di_d}{dt} &= -r_e i_d + L i_q n_p \omega + u_d \\
 L \frac{di_q}{dt} &= -r_e i_q + L i_d n_p \omega - K_m \omega + u_q \\
 J \frac{d\omega}{dt} &= \frac{3}{2} K_m i_q - D \omega - T_L
 \end{aligned} \quad (1)$$

Representando el sistema de ecuaciones (1) en su forma matricial y reescribiéndolo en su forma pasiva, se tiene lo siguiente [16]:

$$\begin{aligned}
 A \dot{x} &= [J(y) - R] x + B u - N \eta, x \in R^3, u \in R^2 \\
 y_1 &= i_d \\
 y_2 &= i_q
 \end{aligned} \quad (2)$$

Donde:

$$A = \text{diag} \left(L \quad L \quad \frac{2}{3}J \right); N = \text{diag} \left(1 \quad 1 \quad 1 \right) \quad (3)$$

$$J(y) = \underbrace{\begin{pmatrix} 0 & 0 & 0 \\ 0 & 0 & -k_m \\ 0 & k_m & 0 \end{pmatrix}}_{=J_0} + y \underbrace{\begin{pmatrix} 0 & n_p L & 0 \\ -n_p L & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix}}_{=yJ_1} \quad (4)$$

$$R = \begin{pmatrix} r_e & 0 & 0 \\ 0 & r_e & 0 \\ 0 & 0 & \frac{2}{3}B \end{pmatrix}; B = \begin{pmatrix} 1 & 0 \\ 0 & 1 \\ 0 & 0 \end{pmatrix}; \eta = \begin{pmatrix} 0 \\ 0 \\ \frac{2}{3}T_L \end{pmatrix} \quad (5)$$

El vector de estados está compuesto por:

$$x^T(t) = (i_d, i_q, \omega) \quad (6)$$

J_0 y J_1 son matrices constantes y antisimétricas, y es un escalar que representa la salida del sistema y, además, es una de las variables del vector de estado x ; R es una matriz simétrica semidefinida positiva, B es una matriz constante de las entradas de control y finalmente η es un vector de pares de carga. Para comprobar que el sistema promedio no lineal del MSIP dado en (1) es pasivo, se hace uso de las definiciones de pasividad y disipatividad tratadas en [3].

Sea $u^* \in \mathbb{R}^2$ la cual denota la trayectoria de entrada nominal correspondiente a la trayectoria del vector de estado nominal $x^*(t) \in \mathbb{R}^3$. Partiendo de ello se construye la dinámica de referencia del sistema, la cual debe satisfacer la siguiente expresión:

$$A\dot{x}^* = [J(y^*) - R]x^* + Bu^* - N\eta^* \quad (7)$$

Se define el error de seguimiento $e = x - x^*$, el error de la entrada de control $e_u = u - u^*$, y el error de la entrada de la perturbación $e_\eta = \eta - \eta^*$ y tomando en cuenta que $J(y) = J_0 + yJ_1$, entonces:

$$A\dot{e} = J(y)e - Re + Be_u + J_1x^*l_3e - Ne_\eta$$

Definiendo a $M_3 = J_1x^*l_3$ como una matriz de 3×3 , dada por:

$$\begin{aligned} M_3 &= \begin{pmatrix} 0 & n_p L & 0 \\ -n_p L & 0 & 0 \\ 0 & 0 & 0 \end{pmatrix} \begin{pmatrix} i_d^* \\ i_q^* \\ \omega \end{pmatrix} \begin{pmatrix} 0 & 0 & 1 \end{pmatrix} \\ &= n_p L \begin{pmatrix} 0 & 0 & i_d^* \\ 0 & 0 & -i_q^* \\ 0 & 0 & 0 \end{pmatrix} \end{aligned}$$

Después la matriz M_3 se descompone en dos matrices mediante la utilización del álgebra de matrices, y así, se consigue una matriz simétrica y una matriz antisimétrica, teniendo como resultado:

$$M_3 = \frac{1}{2}n_p L \underbrace{\begin{pmatrix} 0 & 0 & i_d^* \\ 0 & 0 & i_q^* \\ -i_d^* & i_q^* & 0 \end{pmatrix}}_{W_3} + \frac{1}{2}n_p L \underbrace{\begin{pmatrix} 0 & 0 & i_d^* \\ 0 & 0 & i_q^* \\ -i_d^* & i_q^* & 0 \end{pmatrix}}_{S_3}$$

Posteriormente W_3 se suma a la matriz conservativa $J(y)$, y S_3 se suma a la parte disipativa R . Con esta operación se consigue la ecuación de la dinámica del error de seguimiento, expresada como:

$$A\dot{e} = J^*e - R^*e + Be_u \quad (8)$$

Si se considera a $R^* > 0$, es decir, definida positiva entonces se satisface la siguiente condición:

$$R^* = \begin{pmatrix} r_e & 0 & -\frac{1}{2}n_p Li_q^* \\ 0 & r_e & \frac{1}{2}n_p Li_d^* \\ -\frac{1}{2}n_p Li_q^* & \frac{1}{2}n_p Li_d^* & \frac{2}{3}B \end{pmatrix} \quad (9)$$

Haciendo uso del criterio del Sylvester, se verifica que $R^* > 0$, es decir, que es una matriz semidefinida positiva, por tanto, se debe cumplir que:

$$\det(R^*) = \frac{2}{3}r_e B - \frac{1}{4}n_p^2 L^2 [(i_d^*)^2 + (i_q^*)^2] > 0 \quad (10)$$

Siguiendo con la metodología de diseño del controlador, mediante Lyapunov, se propone a e_u como $e_u = -\delta B^T e$, donde:

$$\begin{aligned} \delta &= \begin{pmatrix} \delta_1 & 0 \\ 0 & \delta_2 \end{pmatrix} > 2 \\ \delta_1, \delta_2 &> 0 \end{aligned} \quad (11)$$

Siendo δ una matriz definida positiva, tal que:

$$\begin{pmatrix} u_d \\ u_q \end{pmatrix} = \begin{pmatrix} u_d^* \\ u_q^* \end{pmatrix} - \begin{pmatrix} \delta_1 & 0 \\ 0 & \delta_2 \end{pmatrix} \begin{pmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \end{pmatrix} x^* \quad (12)$$

De la Ecuación (12) obtenemos las leyes de control que actuarán sobre el sistema, quedando de la siguiente forma:

$$\begin{aligned} u_d &= \widetilde{u}_d - \delta_1(i_d - \widetilde{i}_d) \\ u_q &= \widetilde{u}_q - \delta_2(i_q - \widetilde{i}_q) \end{aligned} \quad (13)$$

El controlador por pasividad mostrado en la Figura 4 está basado en el conjunto de ecuaciones (12), la implementación en bloques se muestra en la Figura 5.

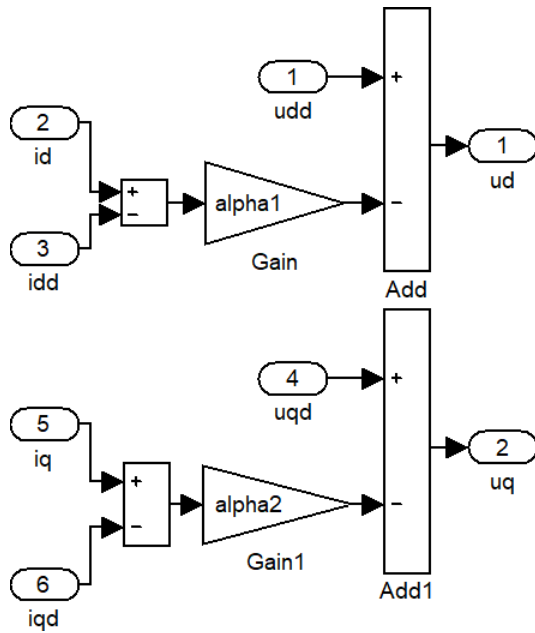


Figura 5. Controlador basado en pasividad.

El observador de carga de las ecuaciones (25) y (26) se muestra en bloques en la Figura 6.

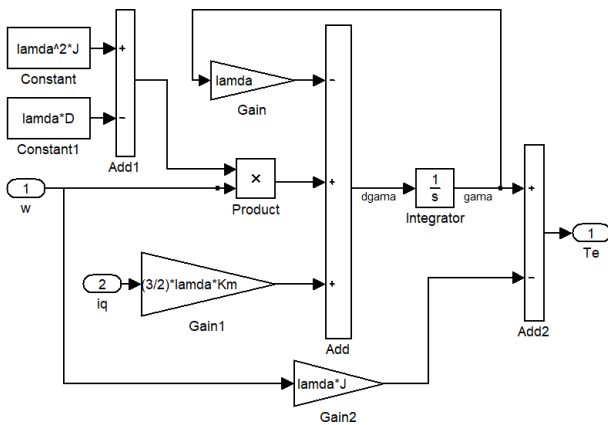


Figura 6. Observador de carga de orden reducido.

Las ecuaciones (17) de los puntos de equilibrio del sistema, que se utilizan para encontrar las referencias y trayectorias deseadas se muestran a bloques en la Figura 7.

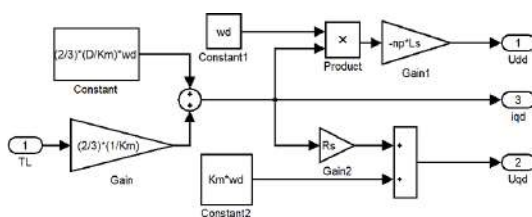


Figura 7. Señales de referencia.

Para validar el funcionamiento del sistema se realiza la cosimulación con Simulink y Psim. El diagrama eléctrico en Psim del inversor multinivel en conjunto con el motor MSIP se muestra en la Figura 8. Se puede observar que el inversor multinivel se compone de tres secciones iguales como la mostrada en el recuadro de la izquierda de la Figura 8.

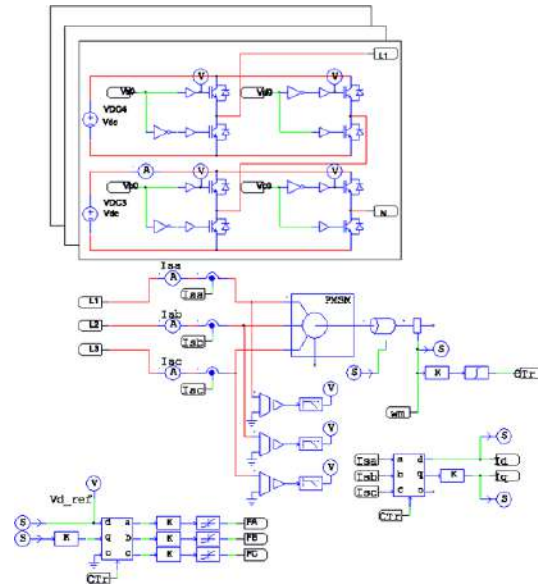


Figura 8. Diagrama eléctrico en Psim.

4.3. Inversor multinivel

Para este trabajo se utiliza un inversor multinivel de celdas en cascada. Esta configuración se basa en celdas conectadas en serie para sumar los voltajes y obtener los 5 niveles deseados como se muestra en la Figura 9.

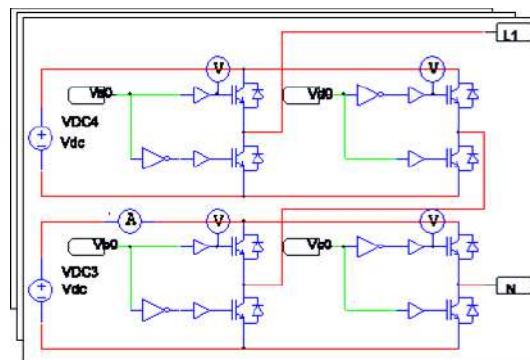


Figura 9. Topología del inversor en cascada de 5 niveles seleccionado.

La técnica de modulación empleada es PS-PWM, la cual consiste, para el caso de un inversor de 5 niveles, de cuatro señales triangulares llamadas portadoras, desfasados entre sí 90°, es decir, 0°, 90°, 180° y 270°, respectivamente; para este caso las portadoras se generan a una frecuencia de 12 kHz. Estas señales se comparan

con una función sinusoidal llamada moduladora, para el caso en cuestión, dicha moduladora está generada por la transformación dq-abc. De manera general su funcionamiento consiste en obtener unos y ceros lógicos por medio de la comparación de la portadora y moduladora; si la señal portadora es mayor o igual a la moduladora, se obtiene un uno lógico, y en caso contrario se tiene un cero lógico. De esta manera, se generan las señales PWM que activan los dispositivos de conmutación. Cabe aclarar que cada fase contiene una moduladora desfasada 120° con respecto a las otras fases, por lo tanto, se tiene un total de 24 señales PWM, 12 canales principales con sus 12 señales complementarias. En la Figura 10 se muestra el diagrama para generar la modulación PS-PWM solo para una fase con sus cuatro señales principales.

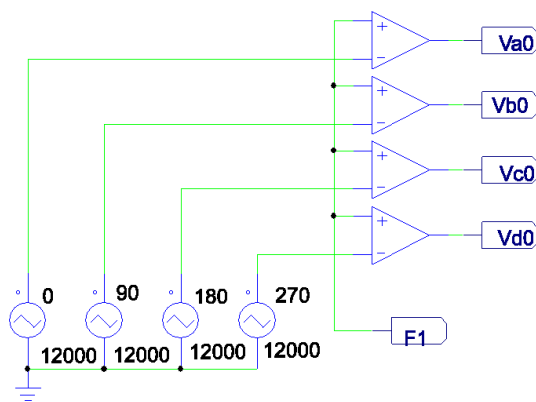


Figura 10. Modulador PS-PWM para una fase.

4.4. Resultados de simulación

A continuación, se muestran los resultados obtenidos de la cosimulación del sistema ante diferentes escenarios y así mostrar una comparativa. Estos escenarios son: el modelo del MSIP de Psim accionado por un inversor trifásico convencional y finalmente accionado por el inversor trifásico multinivel de cinco niveles. En ambos casos es aplicado el controlador por pasividad diseñado. Como resultado de la simulación, en la gráfica de la Figura 11 se puede apreciar la velocidad angular del motor accionado ambos tipos de inversor. En dicha gráfica puede observarse que cuando se aplica un cambio en el par de carga en la flecha del motor, en el tiempo $t = 1s$, la perturbación provocada por dicho cambio es efectivamente contrarrestada por el controlador. No existe una diferencia apreciable entre un tipo de inversor y otro.

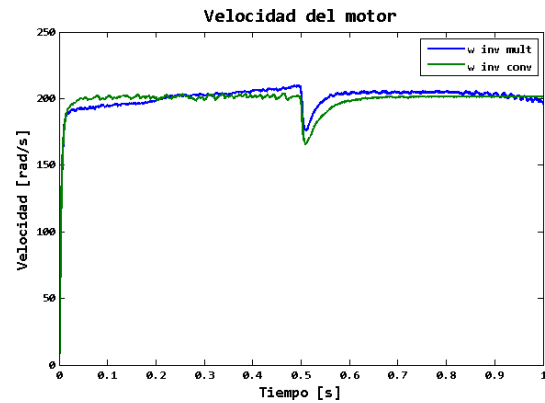


Figura 11. Velocidad del motor.

En la Figura 12 y 13 se muestran las gráficas de las corrientes i_d , i_q respectivamente en las condiciones ya mencionadas. Es importante hacer notar que con el uso de un inversor multinivel el rizo en las corrientes disminuye de manera considerable por el uso combinado de dicho inversor y el controlador diseñado.

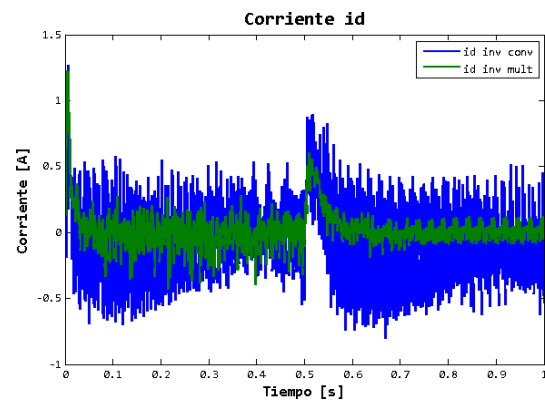


Figura 12. Corriente i_d .

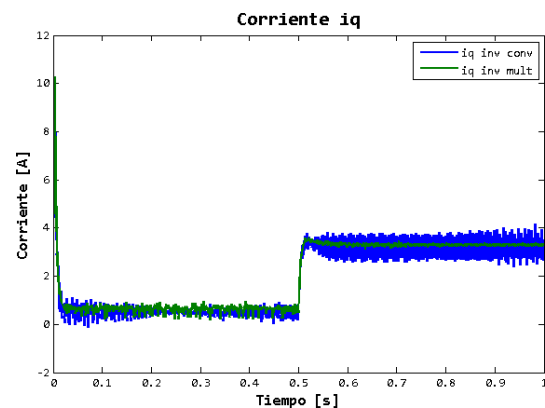


Figura 13. Corriente i_q .

Finalmente, en la Figura 14 se muestra la estimación del par de carga. Se puede apreciar que en el observador diseñado igualmente funciona mejor en el caso del inversor multinivel, lo que comprueba su funcionamiento correcto.

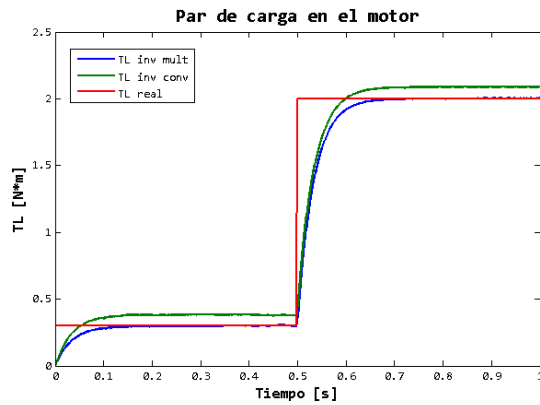


Figura 14. Par de carga del motor estimado.

5. Fase 2

En esta fase se realiza la programación del FPGA. Cabe mencionar que en este trabajo la codificación se realiza directamente en el lenguaje VHDL, sin emplear ningún generador de código, este enfoque permite hacer uso óptimo de los recursos del dispositivo.

5.1. Implementación del módulo del modulador PSPWM

El modulador fue programado en el *software* ISE DESIGN de XILINX en lenguaje VHDL, por simplicidad en la Figura 15 se muestra el diseño por medio de un diagrama esquemático a bloques. Los bloques programados principales son: bloque de portadoras que es donde se generan las señales triangulares; el bloque de moduladora, es el que genera la señal moduladora; finalmente, los comparadores generan las señales PWM para realizar la comparación de las portadoras con la moduladora.

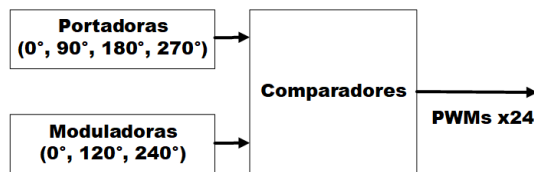


Figura 15. Diagrama a bloques del modulador.

5.2. Implementación del módulo del controlador

El controlador está dividido en varios submódulos: transformación abc-dq, transformación dq-abc, observador de carga, puntos de equilibrio, control de velocidad basado en pasividad, lectura de los sensores de corriente, lectura del sensor de posición/ velocidad. Estos módulos trabajan con el estándar IEEE 754 de 32 bits de precisión simple que es el formato numérico más utilizado en *hardware* [18].

5.2.1. Módulo transformado dq - abc

Para el desarrollo de este módulo se realiza la arquitectura mostrada en la Figura 16, la cual es de ayuda para la solución en línea de la Ecuación (27) y la optimización de recursos. En el caso de este módulo se utiliza un multiplicador, un sumador y un registro, todos estos elementos se encuentran dentro del FPGA, sin embargo, al ser limitados se debe de optimizar su uso. Como se observa en la Figura 16, este requiere 8 entradas: d, q y las 6 funciones trigonométricas. A la salida tenemos los valores a, b y c, los cuales representan el valor del voltaje de las fases. Posteriormente en la Figura 17 se muestra la implementación en el *hardware* de las ecuaciones (27), esta metodología fue tomada de [19]. Dado la complejidad del sistema para ejemplificar el desarrollo, solo se muestra este módulo, sin embargo, la construcción de los demás módulos del sistema se realiza de manera similar. En la Tabla 1 se muestra el consumo de recursos lógicos en el FPGA después de realizar la implementación de todos los módulos implicados en el diseño y en la Figura 18 se presenta el diagrama de más alta jerarquía del sistema.

$$\begin{aligned}
 V_a &= V_d \cos(\theta) + V_q \sin(\theta) \\
 V_b &= V_d \cos\left(\theta - \frac{2}{3}\pi\right) + V_q \sin\left(\theta - \frac{2}{3}\pi\right) \\
 V_c &= V_d \cos\left(\theta + \frac{2}{3}\pi\right) + V_q \sin\left(\theta + \frac{2}{3}\pi\right)
 \end{aligned}
 \tag{27}$$

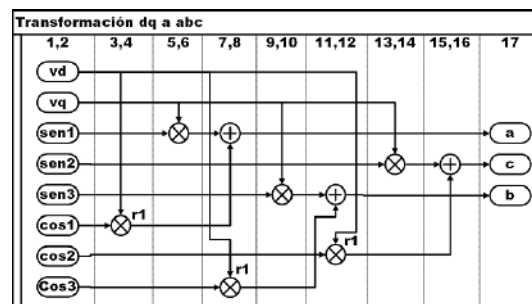


Figura 16. Diagrama de secuencia de la transformada dq a abc.

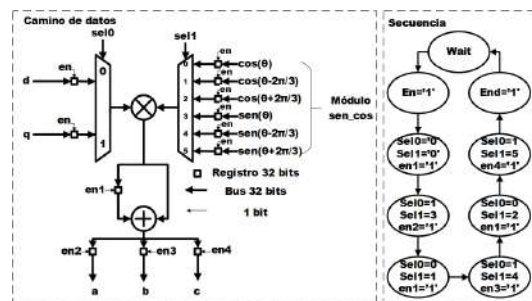


Figura 17. Diagrama de flujo de datos y máquina de estados.

Tabla 1. Nivel de utilización del FPGA

Device Utilization Summary			
Slice Logic Utilization	Used	Available	Utilization
Number of Slice Registers	4,038	11,440	35%
Number of Slice LUTs	4,834	5,720	84%
Number used as logic	4,599	5,720	80%
Number used as Memory	179	1,440	12%
Number of occupied Slices	1,408	1,430	98%
Number of MUXCYs used	1,716	2,860	60%
Number with an unused Flip Flop	1,808	5,107	35%
Number with an unused LUT	273	5,107	5%
Number of fully used LUT-FF pairs	3,026	5,107	59%
Number of unique control sets	84		
Number of slice register sites lost to control set restrictions	245	11,440	2%
Number of bonded IOBs	56	186	30%
Number of LOCed IOBs	55	56	98%
Number of RAMB16BWERs	17	32	53%
Number of RAMB8BWERs	10	64	15%
Number of BUFIO2/BUFIO2_2CLKs	1	32	3%
Number of BUFIO2FB/BUFIO2FB_2CLKs	1	32	3%
Number of BUFG/BUFGMUXs	5	16	31%
Number of DCM/DCM_CLKGENs	1	4	25%
Number of DSP48A1s	16	16	100%
Average Fanout of Non-Clock Nets	3.65		

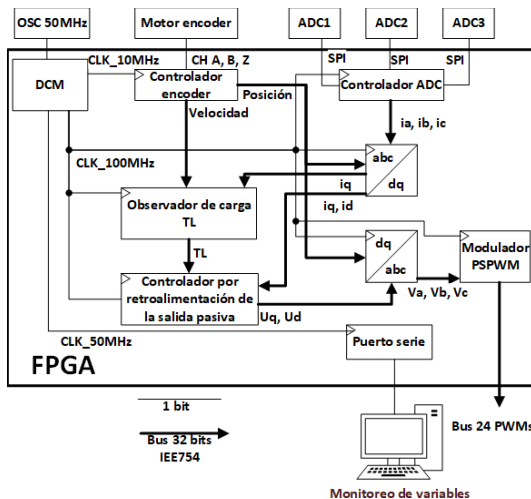


Figura 18. Diagrama esquemático general del sistema en el FPGA.

6. Plataforma experimental

La configuración eléctrica de la plataforma del inversor multinivel se muestra por medio del diagrama unifilar mostrado en la Figura 19.

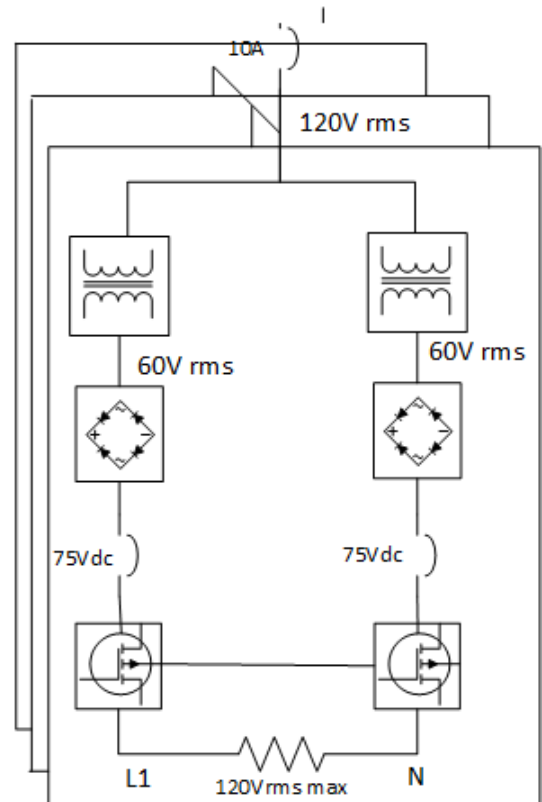


Figura 19. Diagrama unifilar del inversor multinivel.

En la Figura 20 se muestra la plataforma experimental construida y empleada para las pruebas de laboratorio. Las señales de control son generadas por el FPGA, que sirven para conmutar el inversor multinivel y generar la potencia necesaria para impulsar al MSIP de acuerdo con la trayectoria de referencia deseada. La plataforma experimental está conformada por los siguientes elementos:

- Fuentes de CD aisladas
- Puentes-H
- Centro de carga principal
- Fuentes de CD aisladas
- Transformador de la fuente de CD
- Puente de diodos
- Capacitores de la fuente de CD
- Riel Din
- Clemas de conexión
- Interruptores de protección

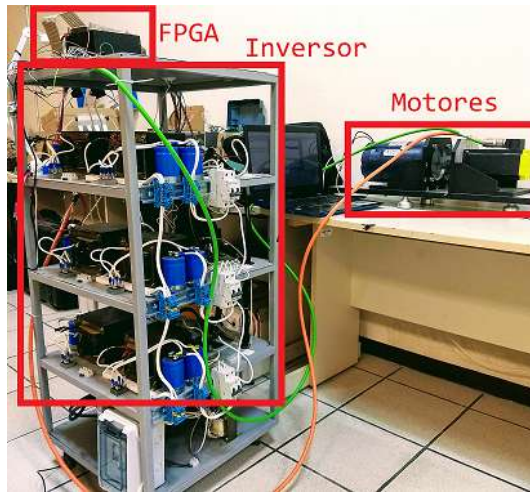


Figura 20. Plataforma experimental.

6.1. Kit de desarrollo ALINX

El kit de desarrollo utilizado es de la marca ALINX modelo AX309 mostrado en la Figura 21, este cuenta con un FPGA SPARTAN-6 XC6SLX9, el cual es una plataforma de desarrollo de bajo costo, con las siguientes características:



Figura 21. Kit de desarrollo.

- FPGA model: XC6SLX9
- Tamaño 90x130 mm
- Crystal oscillator: 50 MHz
- Número de E/S de expansión: 68
- SDRAM: 256 Mbit
- FLASH: 16 Mbit
- IO port level: 3.3 V
- Serial port: onboard U transfer serial port

6.2. Motor síncrono de imanes permanentes

El motor utilizado es de la marca BALDOR cuyas características principales son de 1.23 kW a 4000 rpm, en la Figura 22 se muestra el motor y sus parámetros en la Tabla 2.

Tabla 2. Parámetros del motor

Parámetro	Valor
CAT.NO.	BSM80N-275AF
SPEC.	S2P141W042G1
TORQ CONT STALL	3.2 NM
CUR CONT STALL/A RMS	4
POWER	1.23KW
RATED SPEED/RPM	4000
RATED BUS VOLTS	300
PEAK CUR/A RMS	14.4
MAX SPEED/RPM	7000
CLASS	F
AMB.	25



Figura 22. MSIP empleado (izquierda) y motor de CD usado como carga (derecha).

7. Resultados experimentales

Dado que el procesamiento al interior del dispositivo FPGA es numérico, es necesario contar con un medio para obtener la lectura de las diferentes señales que se procesan, para ello se toman lecturas de las señales y se envían por medio del puerto serial/UART a una computadora son procesadas y se presentan por medio de una GUI diseñada en LabView, los parámetros medidos son la velocidad (ω), las corrientes i_q , i_d y el par de carga estimado (TL), cada gráfica tiene un total de 70 000 muestras en 5 segundos.

Por otra parte, el MSIP se encuentra acoplado en su flecha a un motor de corriente directa (CD) que funciona como carga mecánica externa como se puede ver en la Figura 22.

A continuación, en la Figura 23, se muestra la velocidad angular ω medida por medio del encoder del motor. La velocidad deseada ω_d se obtiene por medio del seguimiento de una curva obtenida partiendo de un

polinomio Bézier de 6.º orden, la cual es usada como referencia. La duración de la curva de arranque es de 5 s, después de ello se puede observar que la velocidad del motor logra establecerse en 200 rad/s como se desea. No obstante, es apreciable un rizo en la velocidad real el cual se debe principalmente al algoritmo de diferenciación numérica utilizado para obtener la velocidad a partir de las lecturas del encoder.

Durante el mismo período de tiempo en la Figura 24. se muestra el seguimiento de la corriente i_q al arranque del motor, estableciéndose en 0.5 amperes; esta es la corriente activa que es aprovechada por el motor y es transformada en par mecánico. De igual manera, en la Figura 25 se muestra la regulación de la corriente i_d , esta debe mantenerse en 0 amperes dado que es la corriente reactiva que no es posible aprovecharla. Ambas corrientes mostradas por igual muestran rizo el cual se debe a la resolución de los sensores de corriente empleados. Finalmente, en la Figura 26 se muestra la estimación del par de carga en el eje del motor durante el mismo período de tiempo, la cual al llegar a la velocidad deseada se establece en 0.4 Nm.

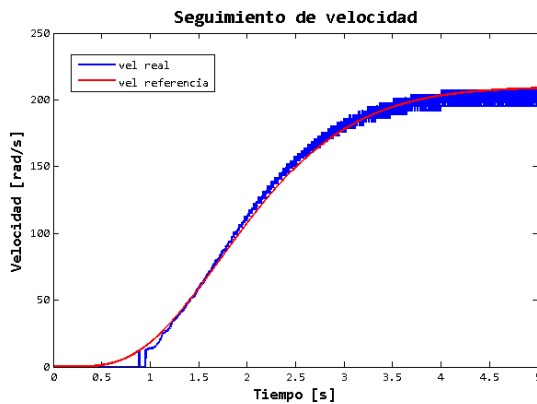


Figura 23. Seguimiento de velocidad suave al arranque.

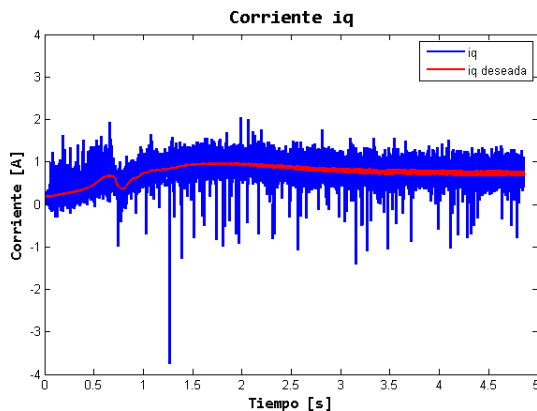


Figura 24. Seguimiento de la corriente i_q al arranque.

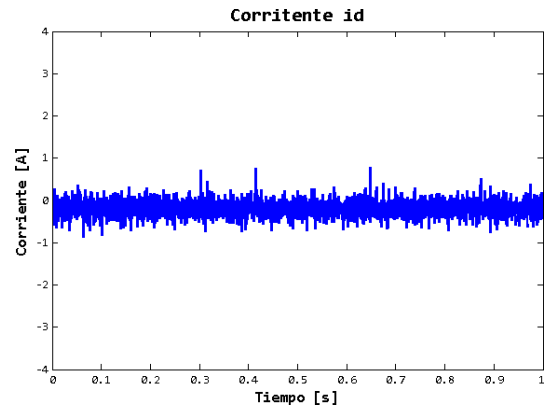


Figura 25. Seguimiento de la corriente i_d al arranque.

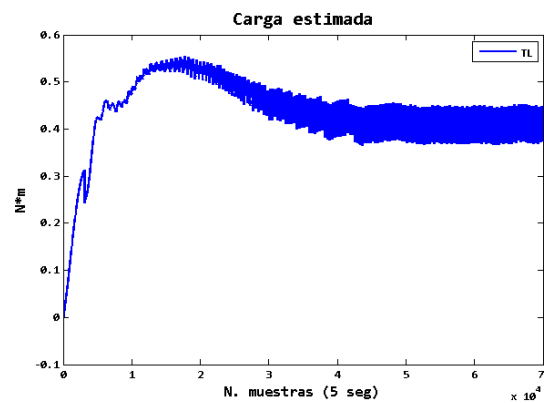


Figura 26. Carga estimada en la flecha del motor.

8. Conclusiones

Con base en los resultados de simulación y los resultados experimentales se puede argumentar que el controlador por retroalimentación de la salida pasiva diseñado e implementado lleva a cabo de manera adecuada el seguimiento y regulación de la velocidad angular del MSIP. Por otro lado, se verifica que el estimador de orden reducido del par de carga, estima correctamente este parámetro. De manera adicional, en términos de *hardware*, se observa que el inversor multinivel reduce considerablemente la distorsión armónica de voltaje, lo que se traduce en menor ruido en el sistema en general y evita la necesidad de utilizar filtros. Gracias a las particularidades del dispositivo digital (FPGA) donde se realizó la implementación, se logra un período de muestreo de 10 μ s, lo que redundará en el beneficio de tener mayor velocidad de respuesta ante cambios de carga repentinos.

Como trabajo futuro se pretende implementar un algoritmo más complejo, tal como un estimador algebraico, para lograr una mejor estimación del par de carga mecánico. Lo anterior sería posible aprovechando la característica principal del FPGA que es el paralelismo.

Referencias

- [1] T. Wildi, *Máquinas eléctricas y sistemas de potencia*, 2007. [Online]. Available: <https://bit.ly/35aPtZm>
- [2] L. Blanco Rubio, “Diseño electromagnético de un motor síncrono de imanes permanentes para el accionamiento directo de la hélice de un barco,” Universidad Politécnica de Madrid. 2017. [Online]. Available: <https://bit.ly/2PAJZAj>
- [3] J. Linares-Flores, C. García-Rodríguez, O. D. Ramírez-Cárdenas, C. Escobar-Noriega, and M. A. Contreras-Ordaz, “Control robusto de seguimiento suave de posición angular del motor síncrono de imanes permanentes,” in *Memorias del XVI Congreso Latinoamericano de Control Automático, Octubre 14-17, 2014. Cancún, Quintana Roo, México*, 2014, pp. 1113–1118. [Online]. Available: <http://doi.org/10.13140/2.1.2760.9607>
- [4] J. Linares-Flores, C. García-Rodríguez, H. Sira-Ramírez, and O. D. Ramírez-Cárdenas, “Robust backstepping tracking controller for low speed pmsm positioning system: Design, analysis, and implementation,” in *2015 IEEE International Conference on Industrial Technology (ICIT)*, March 2015, pp. 2131–2138. [Online]. Available: <https://doi.org/10.1109/ICIT.2015.7125411>
- [5] IEEE, “IEEE recommended practices and requirements for harmonic control in electrical power systems,” *IEEE Std 519-1992*, pp. 1–112, April 1993. [Online]. Available: <https://doi.org/10.1109/IEEESTD.1993.114370>
- [6] M. H. Rashid, *Electrónica de potencia: circuitos, dispositivos y aplicaciones*, 2004. [Online]. Available: <https://bit.ly/2t9mZ42>
- [7] J. A. Juárez-Abad, J. Linares-Flores, E. Guzmán-Ramírez, and H. Sira-Ramírez, “Generalized proportional integral tracking controller for a single-phase multilevel cascade inverter: An fpga implementation,” *IEEE Transactions on Industrial Informatics*, vol. 10, no. 1, pp. 256–266, Feb 2014. [Online]. Available: <https://doi.org/10.1109/TII.2013.2242085>
- [8] F. Chauca Llusca, F. Llerena Rengel, and P. Chico Hidalgo, “Diseño y construcción de un inversor multinivel,” *Revista Politécnica*, vol. 33, no. 1, 2014. [Online]. Available: <https://bit.ly/36rAxpI>
- [9] L. G. Franquelo, J. Rodríguez, J. I. León, S. Kouro, R. Portillo, and M. A. M. Prats, “The age of multilevel converters arrives,” *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28–39, June 2008. [Online]. Available: <https://doi.org/10.1109/MIE.2008.923519>
- [10] E. Monmasson, L. Idkhajine, and M. W. Naouar, “Fpga-based controllers,” *IEEE Industrial Electronics Magazine*, vol. 5, no. 1, pp. 14–26, March 2011. [Online]. Available: <https://doi.org/10.1109/MIE.2011.940250>
- [11] D. G. Maxinez and J. Alcalá Jara, *VHDL: el arte de programar sistemas digitales*, 2002. [Online]. Available: <https://bit.ly/2PCE8dL>
- [12] J. J. Rodríguez-Andina, M. D. Valdés-Peña, and M. J. Moure, “Advanced features and industrial applications of FPGAs—a review,” *IEEE Transactions on Industrial Informatics*, vol. 11, no. 4, pp. 853–864, Aug 2015. [Online]. Available: <https://doi.org/10.1109/TII.2015.2431223>
- [13] W. Zhu, “FPGA logic devices for precision control: An application to large friction actuators with payloads,” *IEEE Control Systems Magazine*, vol. 34, no. 3, pp. 54–75, June 2014. [Online]. Available: <https://doi.org/10.1109/MCS.2014.2308691>
- [14] E. Mandado, L. J. Álvarez, and M. D. Valdés, *Dispositivos lógicos programables*, 2002. [Online]. Available: <https://bit.ly/38uCiEq>
- [15] R. Krishnan, *Permanent Magnet Synchronous and Brushless DC Motor Drives*, 2017.
- [16] H. J. Márquez, *Nonlinear control systems: analysis and design*. Wiley-Interscience Hoboken, 2003, vol. 1. [Online]. Available: <https://bit.ly/2YMdMKM>
- [17] Y. E. Gliklikh, “Necessary and sufficient conditions for global-in-time existence of solutions of ordinary, stochastic, and parabolic differential equations,” *Abstract and Applied Analysis*, vol. 2006, Special Issue, p. 17, 2006. [Online]. Available: <https://doi.org/10.1155/AAA/2006/39786>
- [18] IEEE, *IEEE 754-2019 - IEEE Standard for Floating-Point Arithmetic*, 2019. [Online]. Available: <https://bit.ly/2E5tnvo>
- [19] M. Naouar, E. Monmasson, A. A. Naasani, I. Slama-Belkhodja, and N. Patin, “FPGA-based current controllers for AC machine drives—a review,” *IEEE Transactions on Industrial Electronics*, vol. 54, no. 4, pp. 1907–1925, Aug 2007. [Online]. Available: <https://doi.org/10.1109/TIE.2007.898302>

Apéndice C

Colaboración en publicación



CONTROL PARA EL VOLTAJE DE SALIDA DE UN INVERSOR MULTINIVEL DE CAPACITORES FLOTANTES

CONTROL FOR THE OUTPUT VOLTAGE ON A FLYING CAPACITOR MULTILEVEL INVERTER

Beatriz Angélica Aguilar-López¹, José Antonio Juárez-Abad^{2,*},

Jorge Luis Barahona-Avalos², Rosalino Mayoral-Lagunes¹,

Jesús Linares-Flores², Marco Antonio Contreras-Ordaz²

Resumen

Este artículo presenta el diseño de un controlador mediante la técnica de rechazo activo de perturbaciones para el seguimiento de la trayectoria de referencia para el voltaje de salida de un inversor multinivel de capacitores flotantes. Si en el modelo dinámico del convertidor se consideran las dinámicas de cada capacitor flotante y adicionalmente, las de los elementos pasivos del filtro de salida, el modelo resultante es de un orden alto, lo que dificulta su control. En este trabajo se emplea la modulación PS-PWM para mantener los voltajes en los capacitores flotantes en sus valores nominales y de esta manera poder generar un modelo dinámico simple, que resulta ser más fácil de controlar. Los resultados de simulación y experimentales, confirman que el controlador es robusto a perturbaciones provocadas por cambios en la carga, sin importar si son de tipo lineal o no lineal. Se realizó la construcción del prototipo experimental del sistema y se implementó el controlador y modulador en un FPGA y en la parte final se muestran los resultados obtenidos.

Palabras clave: balanceo natural, capacitores flotantes, control robusto, convertidor de potencia, linealización exacta, rechazo activo de perturbaciones

Abstract

This paper presents the design of a robust Active Disturbance Rejection Controller (ADRC) for tracking the reference trajectory of the output voltage of a flying capacitor multilevel inverter. If the dynamics of each flying capacitor and of the passive elements of the filter are considered in the dynamic model of the converter, it results a high order model, which is difficult to control. PS-PWM modulation is used in this work to keep the voltages in the flying capacitors at their nominal values, and thereby generate a second-order simple dynamic model that is easier to control. The simulation and experimental results confirm that the controller is robust in the presence of disturbances, caused by either linear or nonlinear load changes. The experimental prototype of the complete system was built, and the implementation of the controller and the modulator was carried out in a FPGA; the results obtained are shown in the final part.

Keywords: Active Disturbance Rejection, Exact Linearization, Flying Capacitors, Natural balancing, Power converter, Robust Control.

¹División de Estudios de posgrado, Universidad Tecnológica de la Mixteca – México.

<http://orcid.org/0000-0002-2769-4992>, <http://orcid.org/0000-0003-3420-7416>

^{2,*}Instituto de Electrónica y Mecatrónica, Universidad Tecnológica de la Mixteca - México.

Autor para correspondencia ✉: abad@mixteco.utm.mx

<http://orcid.org/0000-0001-7440-0849>, <http://orcid.org/0000-0002-5502-6692>

<http://orcid.org/0000-0002-5723-4786>, <http://orcid.org/0000-0002-3478-796X>

Recibido: 22-11-2019, aprobado tras revisión: 03-06-2020

Forma sugerida de citación: Aguilar-López, B. A.; Juárez-Abad, J. A.; Barahona-Avalos, J. L.; Mayoral-Lagunes, R.; Linares-Flores, J. y Contreras-Ordaz, M. A. (2020). «Control para el voltaje de salida de un inversor multinivel de capacitores flotantes». INGENIUS. N.º 24, (julio-diciembre). pp. 68-80. DOI: <https://doi.org/10.17163/ings.n24.2020.07>.

1. Introducción

La energía eléctrica puede presentarse en dos modalidades: de corriente directa (CD) o de corriente alterna (CA). Existen aplicaciones donde se requiere la transformación de una forma de energía a otra, dicha conversión es llevada a cabo por un dispositivo conocido como convertidor de potencia; por ejemplo, la transformación CA-CD la realiza un convertidor llamado rectificador y para el caso de la conversión CD-CA la realiza un convertidor llamado inversor [1]. Los convertidores de potencia se construyen con dispositivos de conmutación y con elementos pasivos tales como capacitores, inductores, diodos y transformadores. Generalmente, la potencia, que es capaz de entregar un convertidor, está limitada por la capacidad de corriente y voltaje de sus interruptores o dispositivos de conmutación.

Aún cuando idealmente un inversor debería producir una tensión sinusoidal en las aplicaciones tradicionales de corriente alterna (para lograr mejor eficiencia y baja interferencia electromagnética, entre otras ventajas [2]), estos solo son capaces de producir ondas rectangulares (es decir, tres niveles). Con el surgimiento de las topologías de inversores multinivel, fue posible generar formas de onda de voltaje con múltiples niveles, las cuales se asemejan más a la forma de onda sinusoidal ideal. Las topologías más conocidas de convertidores multinivel son: celdas en cascada, diodos de enclavamiento y capacitores flotantes [3]. La primera topología mencionada se compone de la conexión en serie de puentes H y requiere fuentes de voltaje aisladas para cada una de las celdas, mientras que las dos últimas, ocupan solo una fuente de voltaje [4].

La topología de convertidores multinivel de capacitores flotantes (CMCF) ha demostrado ser una excelente elección en aplicaciones donde se requiere alta densidad de potencia [5]. La estructura de un CMCF está conformada por celdas de potencia. Cada celda de potencia se compone por un par de interruptores y un capacitor flotante. El número de niveles en la salida del CMCF puede incrementarse añadiendo más celdas al CMCF, sin embargo, se requieren más capacitores e interruptores. Cada capacitor flotante debe ser cargado a un voltaje nominal de cierto nivel. Dependiendo del estado de los interruptores de la celda, el capacitor flotante, aportará o no, su voltaje a la salida del convertidor.

Para la operación correcta del CMCF se debe mantener una distribución balanceada en los voltajes de los capacitores flotantes: cada uno de ellos debe conservar un voltaje nominal equivalente a una fracción del voltaje total del bus de CD dividido entre el número de celdas. Para lograr la operación correcta del CMCF se realizan dos procesos independientes conocidos como precarga y balanceo (o regulación) de los voltajes en los capacitores flotantes.

Para el caso de la precarga, algunos métodos reportados pueden ser consultados en [6] y [7]. Por otra parte, el balanceo de los voltajes en los capacitores flotantes puede realizarse de manera pasiva y activa. El balanceo natural o pasivo utiliza una técnica de modulación, comúnmente llamada como PS-PWM (por sus siglas en inglés, Phase Shifted-PWM). Esta técnica de modulación se emplea para generar los estados de conmutación que forman la señal de voltaje deseado en la salida y al mismo tiempo, mantiene en los capacitores flotantes una carga neta promedio igual a cero.

La técnica de balanceo pasivo, mencionada es sencilla de implementar, sin embargo no garantiza que los voltajes de los capacitores se establezcan en sus valores nominales, ya que regularmente los componentes utilizados en la construcción del CMCF poseen condiciones no ideales, es decir: corrientes de fuga desiguales en los capacitores, carga o descarga asimétrica en los capacitores y perturbaciones de carga, por mencionar algunos [8]. Por otro lado, en el balanceo activo, el voltaje de los capacitores flotantes es regulado individualmente. Este enfoque requiere el uso de un sensor de voltaje para cada uno de los capacitores flotantes como se muestra en [9] y [10] o bien, su estimación mediante observadores como se trata en [11].

Una tarea de control necesaria en los convertidores de potencia es proporcionar una salida de voltaje sin cambio en la amplitud, sin importar la resistencia efectiva de la carga. Para el caso del convertidor CD-CA se desea que la salida siga una referencia de voltaje a pesar de las perturbaciones generadas cuando la corriente de carga o del voltaje de entrada cambian [12]. Para que estas tareas sean llevadas a cabo de manera precisa, se requiere un sistema de control con retroalimentación. El seguimiento de voltaje en inversores multinivel ha sido abordado mediante diversas técnicas de control. Para la topología de celdas en cascada, han sido empleados diversos esquemas de control, tales como: controlador basado en pasividad [13] y el control integral proporcional generalizado lineal [14]. Para la topología de capacitores flotantes, el seguimiento de voltaje se ha realizado en [15] y [16]. En [15] se genera cada estado de conmutación apropiado para generar el voltaje de salida deseado, mediante un algoritmo que no requiere una modulación adicional ni el modelo del convertidor. En [16], los autores sostienen que las tareas de balanceo de voltajes y de seguimiento de la referencia de voltaje se encuentran acopladas, lo que se vuelve un problema serio en aplicaciones de alto ancho de banda y alta precisión. Hacen énfasis en el desacoplamiento de dichas tareas mediante dos técnicas: linealización por retroalimentación y una variante de modulación de espacio vectorial. Aplican controladores de tipo proporcional-integral (PI) y regulador cuadrático lineal (LQR) para el seguimiento de voltaje y simples controles proporcionales (P) para el balanceo

de los voltajes en los capacitores.

El objetivo del presente trabajo es el control por seguimiento de una señal de referencia sinusoidal aplicado al voltaje de salida de un CMCF. La tarea del balanceo de los voltajes en los capacitores flotantes se delega a la modulación PS-PWM. Con ello se evita el uso de múltiples sensores de voltaje y se reduce la complejidad del modelo dinámico del convertidor así como la complejidad en la implementación del controlador. El controlador está basado en la técnica de rechazo activo de perturbaciones (ADRC, por sus siglas en inglés, Active Disturbance Rejection Control).

En la sección 2.1 se describen las partes que componen al sistema: controlador, modulador y el convertidor de potencia. En la sección 2.2 se obtiene el modelo dinámico en forma promedio del CMCF. En la sección 2.3 se realiza la linealización en forma exacta del modelo del CMCF. El diseño del controlador basado ADRC es presentado en la sección 2.4. La sección 3 muestra los resultados de la cosimulación realizada en Matlab-Simulink/PSIM, donde se analiza la efectividad del controlador antes de la construcción experimental, los resultados experimentales se muestran en la sección 4 y, finalmente, en la sección 5 se presentan las conclusiones.

2. Materiales y métodos

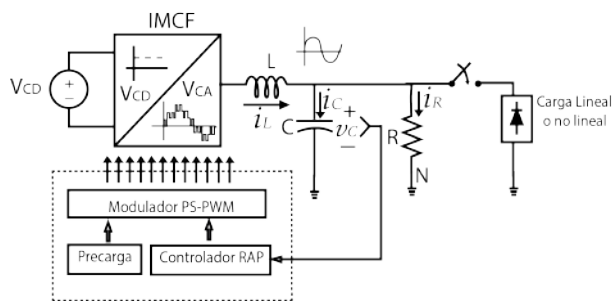


Figura 1. Diagrama a bloques del sistema

En la Figura 1 se muestra el sistema completo el cual se describe a continuación. A partir de una fuente de voltaje de corriente directa, V_{CD} , el CMCF sintetiza en la salida una señal de múltiples niveles de voltaje basada en PWM. Dicha salida de voltaje es procesada por un filtro pasivo de tipo LC pasa-bajas con el fin de atenuar las componentes de alta frecuencia de la señal PWM y finalmente, obtener una señal de voltaje sinusoidal pura en la salida del filtro. El controlador por rechazo activo de perturbaciones retroalimenta la señal de voltaje del filtro y la compara contra una señal de referencia, de tipo sinusoidal con frecuencia de 60 Hz y amplitud variable; la señal de referencia o moduladora se emplea para el modulador PS-PWM. Durante el encendido del CMCF, los capacitores flotantes están

descargados, por lo tanto, por medio del proceso de precarga, se establece el voltaje correcto, o voltaje nominal, en cada uno de ellos. Inicialmente se conecta una carga del tipo resistivo con valor conocido en paralelo al capacitor C del filtro de salida y en determinado momento, se añade una carga de tipo lineal o no lineal como perturbación exógena al sistema.

El CMCF se muestra en la Figura 2, este se compone de múltiples celdas de potencia conectadas una después de otra. Cada celda de potencia (excepto la que está conectada al bus de CD), contiene un par de interruptores de potencia y un capacitor flotante.

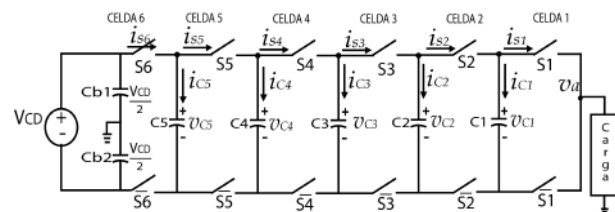


Figura 2. Topología del Inversor multinivel de capacitores flotantes (CMCF)

Por ejemplo, la celda 1 se compone de los interruptores $S1$, $\bar{S}1$ y del capacitor $C1$. Para formar siete niveles de voltaje, incluyendo el nivel correspondiente a $0V$, se requieren seis celdas. Cada capacitor flotante de la celda i -ésima, debe ser cargado y se debe mantener a un nivel nominal de voltaje V_{Ci} el cual puede corresponder con alguno de los siguientes valores: $V_{CD}/6$, $2V_{CD}/6$, $3V_{CD}/6$, $4V_{CD}/6$, $5V_{CD}/6$.

Individualmente, cada interruptor del convertidor puede estar cerrado (ON) o abierto (OFF). Con el fin de evitar cortocircuitos en las celdas, los interruptores de cada celda deben operar en forma complementaria, por lo que nunca deben permanecer cerrados al mismo tiempo; esta condición se garantiza empleando un tiempo muerto entre conmutaciones. En la topología de capacitores flotantes, así como en otras topologías multinivel, un mismo nivel de voltaje puede ser formado con distintos estados de conmutación, los cuales se denominan estados redundantes. En la topología de CMCF de medio puente de siete niveles, se pueden obtener en la salida los siguientes niveles de voltaje: $-3V_{CD}/6$, $-2V_{CD}/6$, $-V_{CD}/6$, 0 , $V_{CD}/6$, $2V_{CD}/6$, $3V_{CD}/6$.

2.1. Modelo dinámico en forma promedio

Aplicando leyes de corriente de Kirchoff al CMCF mostrado en la Figura 2 se obtiene el conjunto de ecuaciones para las corrientes en los capacitores flotantes:

$$\begin{aligned}
 C_1 \frac{dv_{C1}}{dt} &= i_L(d_2 - d_1) \\
 C_2 \frac{dv_{C2}}{dt} &= i_L(d_3 - d_2) \\
 C_3 \frac{dv_{C3}}{dt} &= i_L(d_4 - d_3) \\
 C_4 \frac{dv_{C4}}{dt} &= i_L(d_5 - d_4) \\
 C_5 \frac{dv_{C5}}{dt} &= i_L(d_6 - d_5)
 \end{aligned} \quad (1)$$

donde i_L es la corriente en el inductor del filtro de salida, C_i es la capacitancia de los capacitores del CMCF, d_i representa el ciclo de trabajo del interruptor S_i y v_{C_i} son los voltajes en los capacitores flotantes, con $i = \{1, 2, 3, 4, 5\}$. El voltaje de salida del CMCF de la Figura 2, se mide desde el nodo v_a respecto a tierra y se nombra como v_{aN} , el cual se determina de la siguiente manera:

$$\begin{aligned}
 v_{aN} = v_{C1}(d_1 - d_2) + v_{C2}(d_2 - d_3) + v_{C3}(d_3 - d_4) + \\
 v_{C4}(d_4 - d_5) + v_{C5}(d_5 - d_6) + V_{CD}d_6 - \frac{V_{CD}}{2}
 \end{aligned} \quad (2)$$

La modulación PS-PWM genera las señales PWM para cada par de interruptores de las celdas del CMCF. En la Figura 3(a) se muestran algunos ciclos de las señales portadoras $C1$ a $C6$, las cuales son señales triangulares con amplitudes que toman los valores de $[-1, 1]$ y frecuencia f_c , desfasadas entre sí 60 grados. La frecuencia de las portadoras es mayor que la frecuencia de la moduladora f_m , por lo que es común definir un índice de modulación $\frac{f_c}{f_m} \geq i_m$. En este trabajo se empleó para modulación un índice de modulación $i_m = 40$. Para el caso de la señal moduladora u_{av} , toma valores de amplitud de $[-1, 1]$ y posee una frecuencia $f_m = 60 \text{ Hz}$.

Cada señal portadora es comparada con la moduladora; para obtener las señales PWM tal como se puede observar en la Figura 3(b) originando las señales PWM nombradas como $V_a - V_f$, las cuales tienen el mismo ciclo de trabajo d .

Al aplicar esta señal al CMCF de siete niveles, todos los interruptores tienen el mismo ciclo de trabajo, es decir:

$$d_1 = d_2 = d_3 = d_4 = d_5 = d_6 = d \quad (3)$$

Acorde con la Ecuación (1), la variación del voltaje promedio en cada capacitor flotante es nula cuando todos los ciclos de trabajo, d_1 a d_6 , son iguales. Por lo tanto, las dinámicas de voltaje en los capacitores flotantes de (1) se pueden considerar constantes y sus derivadas iguales a cero. Esta es la razón por la que la

dinámica de los capacitores puede no considerarse en el modelo promedio del CMCF.

Por otra parte, existe una relación entre ciclo de trabajo d y la señal moduladora u_{av} , la cual se expresa como $d = \frac{u_{av}}{2} + 0.5$. Tomando en cuenta esto y sustituyendo (3) en (2), el voltaje de salida V_{aN} puede expresarse como sigue:

$$v_{aN} = V_{CD}(d) - \frac{V_{CD}}{2} = \frac{V_{CD}}{2}u_{av} = Eu_{av} \quad (4)$$

Donde E es el voltaje de cada uno de los capacitores $Cb1$ y $Cb2$, mismo que tiene por valor a $V_{CD}/2$. La ecuación (4) permite ver de manera simplificada al CMCF de siete niveles como un convertidor «reductor» multinivel con una fuente de voltaje de alimentación Eu_{av} (donde $E = V_{CD}/2$), un filtro LC pasabajas y una carga de naturaleza variante, tal como se muestra en la Figura 4.

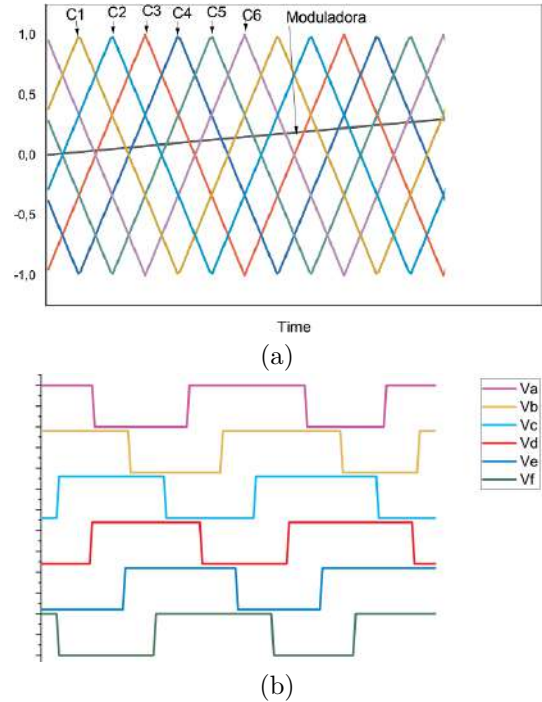


Figura 3. Modulación PS-PWM: (a) Portadoras de la modulación; (b) Ciclo de trabajo en los canales PWM generados

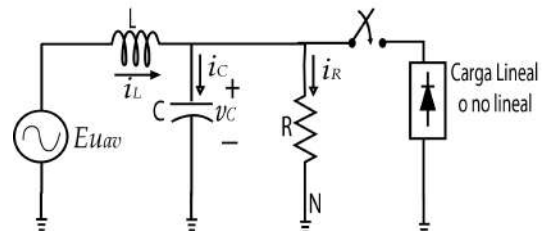


Figura 4. Modelo simplificado del inversor multinivel de capacitores flotantes

Tomando en consideración lo anterior, el modelo promedio de segundo orden del CMCF se puede expresar como en (5):

$$\begin{aligned} L \frac{di_L}{dt} &= -v_C + E u_{av} \\ C \frac{dv_C}{dt} &= i_L - \frac{v_C}{R} \end{aligned} \quad (5)$$

La entrada de control u_{av} , representa la señal moduladora PWM que puede tomar valores del conjunto continuo $[-1, 1]$. El término v_C es el voltaje en el capacitor del filtro. La corriente que circula por los interruptores y por la inductancia de salida es i_L . L y C son los valores de inductancia y capacitancia del filtro, respectivamente.

2.2. Linealización en forma exacta del modelo

El sistema CMCF así conformado es lineal, de una entrada y una salida (SISO, por sus siglas en inglés, Single Input-Single Output) y como ya se mencionó es de naturaleza reductora. Reagrupando el modelo mostrado en la Ecuación (5) para ser expresado en su forma no lineal afín, se tiene lo siguiente:

$$\begin{aligned} \dot{x} &= f(x) + g(x)u \\ y &= h(x) \end{aligned} \quad (6)$$

donde:

$$f(x) = \begin{pmatrix} -\frac{v_C}{L} \\ \frac{i_L}{C} - \frac{v_C}{RC} \end{pmatrix}, \quad g(x) = \begin{pmatrix} \frac{E}{L} \\ 0 \end{pmatrix}$$

y:

$$x = \begin{pmatrix} x_1 \\ x_2 \end{pmatrix} = \begin{pmatrix} i_L \\ v_C \end{pmatrix}$$

Como se describe ampliamente en [17], la función de salida que permite linealizar en forma exacta al sistema no lineal (6) está dada como:

$$h(x) = v_C \quad (7)$$

El grado relativo r del sistema no lineal (6) se obtiene mediante el cálculo sucesivo de las derivadas de Lie:

$$L_g L_f^k h(x) = 0 \quad (8)$$

hasta encontrar la derivada de Lie que cumple con:

$$L_g L_f^{r-1} h(x) \neq 0 \quad (9)$$

donde $k < r - 1, \forall x \in \Omega$. Las derivadas de Lie calculadas son:

$$\begin{aligned} L_g L_f^0 h(x) &= L_g h(x) = \frac{\partial h(x)}{\partial x} g(x) \\ &= (0 \quad 1) \begin{pmatrix} \frac{E}{L} \\ 0 \end{pmatrix} = 0 \end{aligned} \quad (10)$$

$$L_g L_f^1 h(x) = \frac{\partial [L_f h(x)]}{\partial x} g(x) = \begin{pmatrix} \frac{1}{C} & -\frac{1}{RC} \end{pmatrix} \begin{pmatrix} \frac{E}{L} \\ 0 \end{pmatrix} = \frac{E}{LC} \quad (11)$$

Dado que (11) es diferente de 0, el grado relativo r del sistema (6) es igual a 2. Se realiza la transformación de coordenadas \mathbf{x} a \mathbf{z} mediante:

$$\mathbf{z} = \Phi(\mathbf{x}) = \begin{pmatrix} z_1 \\ z_2 \end{pmatrix} = \begin{pmatrix} L_f^0 h(x) \\ L_f^{r-1} h(x) \end{pmatrix} \quad (12)$$

Para verificar si Φ es un difeomorfismo, se verifica la no-singularidad de la matriz jacobiana, dada por:

$$\mathbf{J}_\Phi = \frac{\partial \Phi(\mathbf{x})}{\partial \mathbf{x}} = \begin{pmatrix} \frac{\partial z_1}{\partial x_1} & \frac{\partial z_1}{\partial x_2} \\ \frac{\partial z_2}{\partial x_1} & \frac{\partial z_2}{\partial x_2} \end{pmatrix} = \begin{pmatrix} 0 & 1 \\ \frac{1}{C} & -\frac{1}{RC} \end{pmatrix} \quad (13)$$

De (13) se puede demostrar que \mathbf{J}_Φ es no singular para cualquier \mathbf{x} por lo que la transformación de coordenadas es válida. El sistema de coordenadas \mathbf{z} se expresa como:

$$\begin{aligned} z_1 &= v_C \\ z_2 &= \frac{1}{C} i_L - \frac{1}{RC} v_C \end{aligned} \quad (14)$$

El sistema original (6) se transforma en el sistema linealizado en la forma normal de Brunovsky tal como se muestra a continuación:

$$\begin{aligned} \dot{z}_1 &= z_2 \\ \dot{z}_2 &= \alpha(x) + \beta(x)u = \bar{v} \end{aligned} \quad (15)$$

Donde:

$$\alpha(x) = \left(\frac{1}{C^2 R^2} - \frac{1}{LC} \right) v_C - \frac{1}{C^2 R} i_L \quad (16)$$

$$\beta(x) = L_g L_f^1 h(x) = \frac{E}{LC} \quad (17)$$

La variable v es una la ley de control auxiliar cuya expresión se planteará más adelante y definirá la dinámica de seguimiento que se desea cumpla el sistema. La ley de control se obtiene despejando u de (15), como sigue:

$$u = \frac{v - \alpha(x)}{\beta(x)} \quad (18)$$

El modelo mostrado en (5) del CMCF considera una carga resistiva R de valor conocido, pero dado que el inversor está sujeto a cargas de naturaleza variante, la corriente de carga i_L cambiará su valor dependiendo de la carga, por lo tanto, se causarán perturbaciones en el voltaje de salida del inversor. Como se puede observar, la ley de control de la Ecuación (18), requiere el valor de $\alpha(x)$, el cual a su vez, requiere la medición de i_L . Una propuesta para evitar el uso del sensor de corriente se trata a continuación.

2.3. Diseño del controlador ADRC

Basándose en el enfoque ADRC con observador de estado extendido, se diseña un observador LESO [18], para su formulación se realizan las siguientes suposiciones:

1. Solo se mide la salida plana $F = v_C$.
2. Los valores nominales de los parámetros L, C, R, E son conocidos.
3. La entrada de control u_{av} está disponible.
4. La función de perturbación $\alpha(x)$ es desconocida, pero se considera acotada.
5. Las variables estimadas de la salida plana y su derivada se denotan como $F_1 = \hat{F}$ y $F_2 = \dot{\hat{F}}$.
6. Las variables estimadas de la función de perturbación y su derivada, son $\eta_1 = \widehat{\alpha(x)}$ y $\eta_2 = \dot{\widehat{\alpha(x)}}$.

El observador LESO se diseña a partir de (15) y se define como sigue:

$$\begin{aligned} \dot{F}_1 &= F_2 + \lambda_3(F - F_1) \\ \dot{F}_2 &= \eta_1 + \beta(x)u + \lambda_2(F - F_1) \\ \dot{\eta}_1 &= \eta_2 + \lambda_1(F - F_1) \\ \dot{\eta}_2 &= \lambda_0(F - F_1) \end{aligned} \quad (19)$$

El conjunto de coeficientes $\lambda_0, \lambda_1, \lambda_2, \lambda_3$ son valores constantes y son seleccionados mediante un polinomio Hurwitz de cuarto orden:

$$\begin{aligned} \lambda_0 &= \omega_n^4 \\ \lambda_1 &= 4\zeta\omega_n^3 \\ \lambda_2 &= 2\omega_n^2 + 4\zeta^2\omega_n^2 \\ \lambda_3 &= 4\zeta\omega_n \end{aligned} \quad (20)$$

Partiendo de (18) y de (19) se diseña el control ADRC, donde los valores estimados del observador LESO son adaptados al controlador auxiliar de seguimiento:

$$v = \dot{F}_2^* - k_1(F_2^* - z_2) - k_0(F_1^* - z_1) \quad (21)$$

Donde las señales de seguimiento son:

$$\begin{aligned} F_1^* &= A \sin(\omega_n t) \\ F_2^* &= -A * \omega_n \cos(\omega_n t) \\ \dot{F}_2^* &= A(\omega_n)^2 \sin(\omega_n t) \end{aligned} \quad (22)$$

Con $\omega_n = 2\pi f$ y $f = 60$ Hz.

La ley de control basada en la técnica ADRC se establece como sigue:

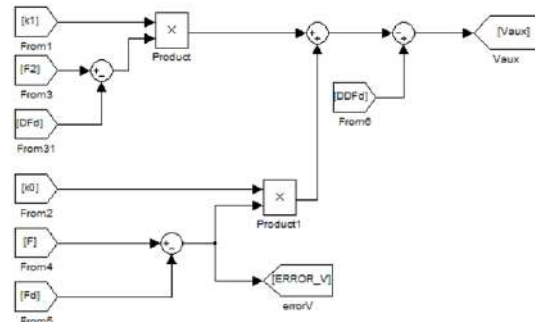
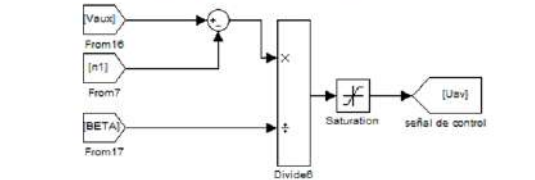
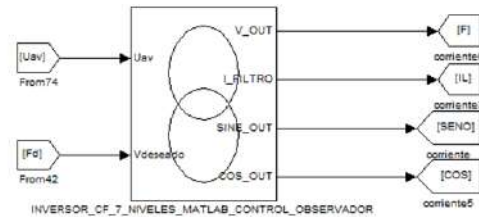
$$u = \frac{v - \eta_1}{\beta(x)} \quad (23)$$

En (22), η_1 representa el valor estimado de $\alpha(x)$, es decir, $\eta_1 = \widehat{\alpha(x)}$. Los coeficientes k_0, k_1 son valores constantes, seleccionados mediante un polinomio Hurwitz de segundo orden como se muestra a continuación:

$$\begin{aligned} k_0 &= w_{nc}^2 \\ k_1 &= 2\zeta_c w_{nc} \end{aligned} \quad (24)$$

3. Simulación del sistema

La simulación del sistema se llevó a cabo usando el módulo SimCoupler y fue realizada por medio de una cosimulación entre PSIM 9.0 y MATLAB/Simulink. El controlador se construye en MATLAB/Simulink, esto se muestra en la Figura 5. Por otra parte, en PSIM se realiza la construcción del circuito de pre-carga y los elementos del inversor multinivel (filtro de salida, modulador PS-PWM y el control para cambios de carga), esto se muestra en la Figura 6. Por tanto, el procesamiento del controlador se realiza en MATLAB/Simulink y se acopla por medio del módulo SimCoupler a PSIM; el valor de la señal de control acoplada tiene por nombre u_{av} y la recibe el modulador PS-PWM como ciclo de trabajo para realizar la acción de control sobre la salida del CMCF.



(a)

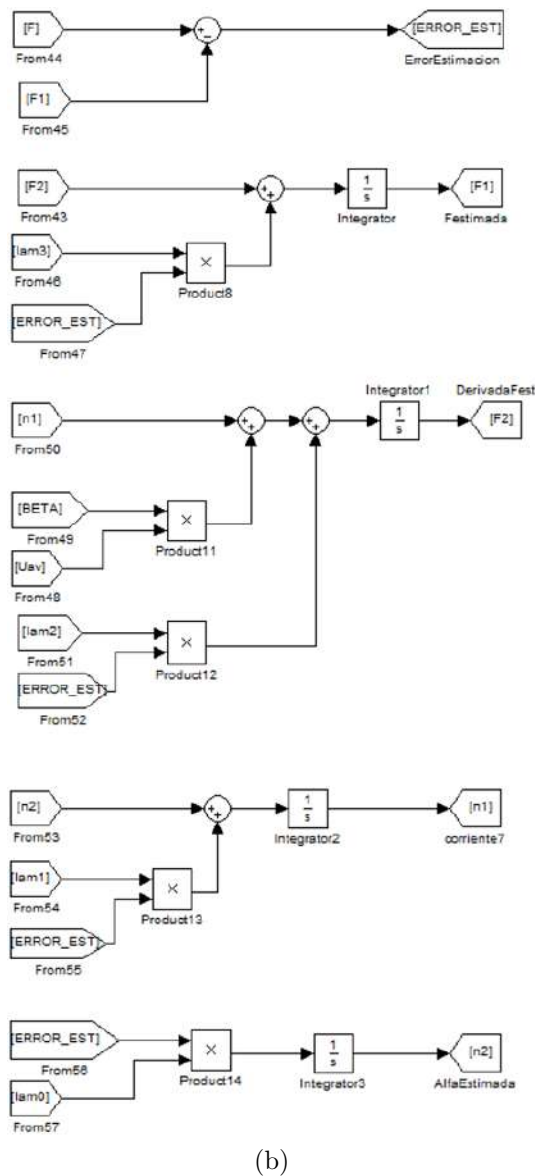


Figura 5. MATLAB/Simulink: (a) Control ADRC y (b) Observador LESO

Para todos los componentes pasivos empleados se consideraron valores nominales de placa con una tolerancia de 20 % para capacitores y de 10 % para resistores e inductores; por lo tanto, para el convertidor multinivel se emplearon los siguientes valores: $C_{CAP1...CAP5} = 10 \mu F$; los capacitores del bus de CD tienen un valor de $C_{PC} = 1000 \mu F$. Los valores de los elementos del filtro de salida son $C_F = 4.7 \mu F$, $L_F = 7 mH$ y $R_L = 100 \Omega$. La señal de referencia de voltaje es igual a $V_d = A \sin(2\pi f)$, las pruebas se realizaron para una amplitud deseada de $A = 80 V$ y una frecuencia $f = 60 Hz$. Por otra parte, la modulación PS-PWM utiliza portadoras con frecuencia de $2.4 kHz$. El valor de los parámetros para el observador LESO $\lambda_0, \lambda_1, \lambda_2, \lambda_3$ se calculan con $w_n = 30000$ y $\zeta = 0.707$. Los parámetros del controlador k_0 y k_1 se calculan con $w_{nc} = 3000$ y $\zeta_c = 0.707$. En ambos casos los polos se

ubican en el lado izquierdo del plano complejo a fin de garantizar la estabilidad.

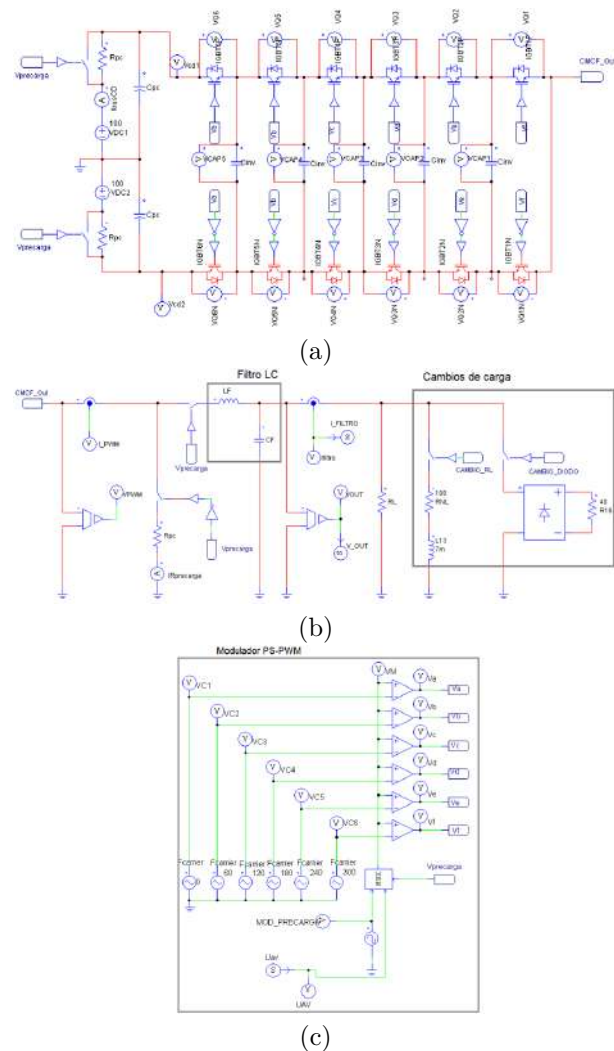


Figura 6. PSIM: (a) Inversor multinivel. (b) Filtro LC a la salida y control de cambio de carga y. (c) Modulador PS-PWM y activación de cambios de carga

Para comprobar la robustez del controlador ADRC ante cambios repentinos de carga se realizaron dos tipos de pruebas: para una primera prueba, se añade a la salida del inversor, después del filtro, una carga adicional del tipo $R-L$, con valores nominales de $R_{NL1} = 80 \Omega$ y $L_{NL} = 7 mH$. El resultado de la simulación se muestra en la Figura 7(a); en esta se puede observar que al realizar el cambio de carga, la corriente i_L incrementa su valor y el estimador LESO en conjunto con el controlador ADRC actualizan la señal de control u_{av} , permitiendo que el voltaje del capacitor retome la trayectoria de referencia nuevamente.

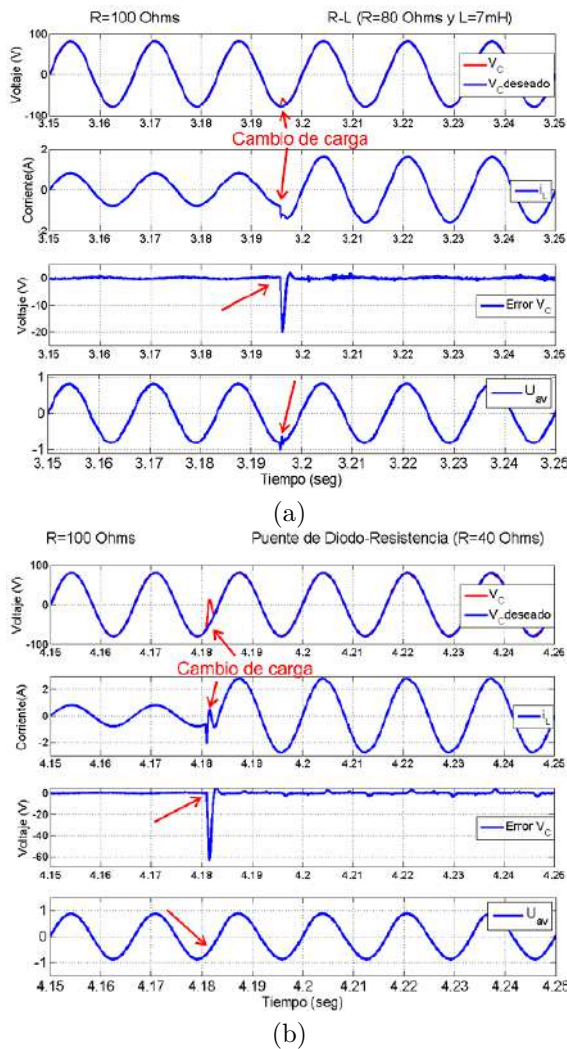


Figura 7. Resultados de simulación: (a) Con carga adicional del tipo $R - L$. (b) Con carga adicional compuesta por un puente de diodos y una resistencia

La segunda prueba consistió en agregar ahora una carga no lineal que consiste en un puente de diodos junto a una carga resistiva de 40Ω . La Figura 7(b) muestra el resultado de la simulación donde se puede observar que al agregar la carga no lineal produce que el voltaje en el capacitor sufra una fuerte desviación transitoria de la referencia sinusoidal deseada, misma que es corregida de la misma manera por la acción del estimador LESO y el controlador ADRC.

En la Figura 8 se observa el resultado de la simulación ya con el controlador, del comportamiento del voltaje en los capacitores flotantes durante los cambios de carga realizados en las pruebas anteriores. La precarga de los capacitores flotantes se realiza de acuerdo con el trabajo presentado en [7], ahí proponen un intervalo de tiempo de $t = [0 - 2]$ s. Al realizar los cambios de carga, se observa que los voltajes en los capacitores flotantes se mantienen en forma promedio en sus valores nominales; el rizo se incrementa, siendo mayor cuando se le conecta la carga no lineal del diodo + re-

sistencia. Para validar el efecto del controlador sobre el voltaje de salida v_C se realizaron dos pruebas en simulación, la primera, prueba es sin controlador, solo con el modulador PS-PWM; el resultado de esta prueba se puede observar en la Figura 9(a). En la segunda prueba se coloca el controlador propuesto, el resultado se puede apreciar en la Figura 9(b). En esta prueba el voltaje del capacitor v_C se mantiene sin cambios o muy poco perceptible cercano a la referencia. En este punto y analizando las figuras mencionadas, se puede argumentar que la modulación PS-PWM por sí misma, no sería capaz de mantener el voltaje de salida.

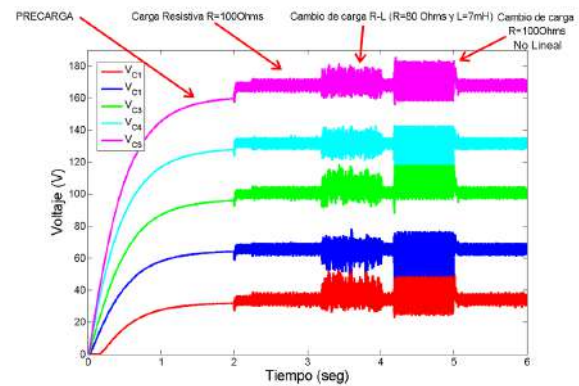


Figura 8. Resultado de simulación de los voltajes en los capacitores flotantes durante la precarga, operación normal y cambios de carga

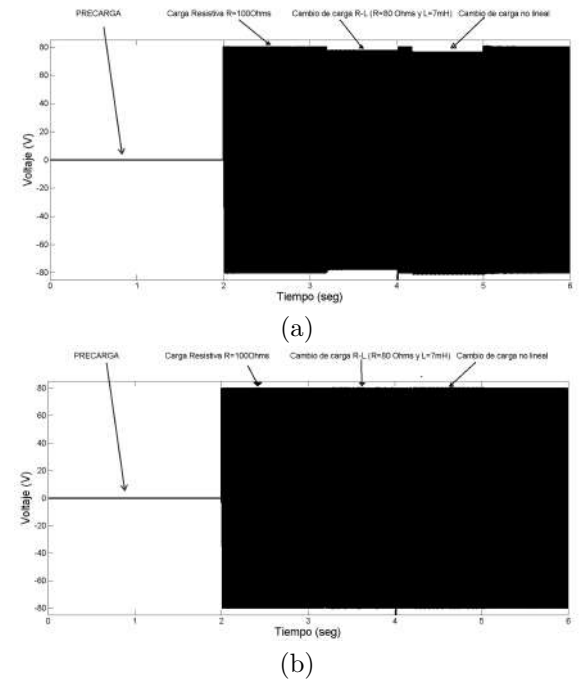


Figura 9. Resultados de simulación para el voltaje de salida v_C : (a) Con cambios de carga solo con el modulador PS-PWM. (b) Con cambios de carga aplicando el controlador + estimador LESO

4. Resultados experimentales

Para verificar los resultados de simulación se realizó la implementación del sistema que consistió en dos partes principales: la primera, contempla la construcción del prototipo del convertidor multinivel y los sistemas auxiliares para su funcionamiento, la descripción del mismo se muestra en la Figura 10.

La segunda parte, es la implementación en un FPGA de los algoritmos del controlador ADRC y el modulador PS-PWM. En [19] se recomienda seguir la metodología *top-down* que es muy adecuada para implementar algoritmos en los dispositivos de lógica reconfigurable y que ha sido usada con excelente desempeño en [14], [20–22]. Para llevar a cabo la implementación se empleó el *software* de Xilinx ISE 14.7, se codificó en VHDL sin hacer uso de alguna herramienta de alto nivel basada en bloques o generación de código, y se ocuparon los elementos internos del FPGA, tales

como memorias BRAM y multiplicadores embebidos para optimizar el uso de recursos internos del dispositivo; el diseño realizado se muestra en la Figura 11. Cabe mencionar que para las operaciones aritméticas necesarias se utilizó la representación numérica en punto flotante simple de 32-bits alineado al estándar IEEE-754 y se logró un tiempo de muestreo de $10 \mu\text{s}$.

Para evaluar el desempeño del controlador se realizaron al igual que en simulación, dos tipos de pruebas: en lazo abierto y en lazo cerrado. En ambos casos se hicieron cambios de carga del tipo lineal y no lineal para verificar el desempeño del controlador propuesto.

De manera inicial se probó el prototipo para verificar su funcionamiento correcto, el resultado de esta prueba se muestra en la Figura 12. En la Figura 12(a) se puede observar la salida con siete niveles que se toma antes del filtro de salida; las Figura 12 (b) y (c) muestran la salida sinusoidal después del filtro LC para voltaje y la corriente suministrada, respectivamente.

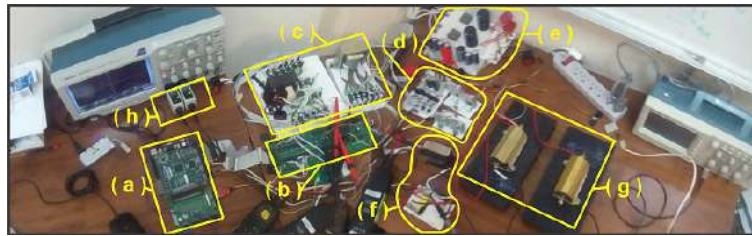


Figura 10. Prototipo desarrollado del inversor multinivel de siete niveles de capacitores flotantes. (a) Tarjeta de desarrollo basada en FPGA (Nexys-2). (b) Inversor multinivel. (c) Fuentes aisladas para impulsores de compuerta e instrumentación. (d) Control de precarga de capacitores y cambio de carga a la salida. (e) Fuente principal de CD. (f) Filtro LC a la salida del inversor. (g) Cargas a la salida del inversor (200 W). (h) Puntas aisladas de medición.

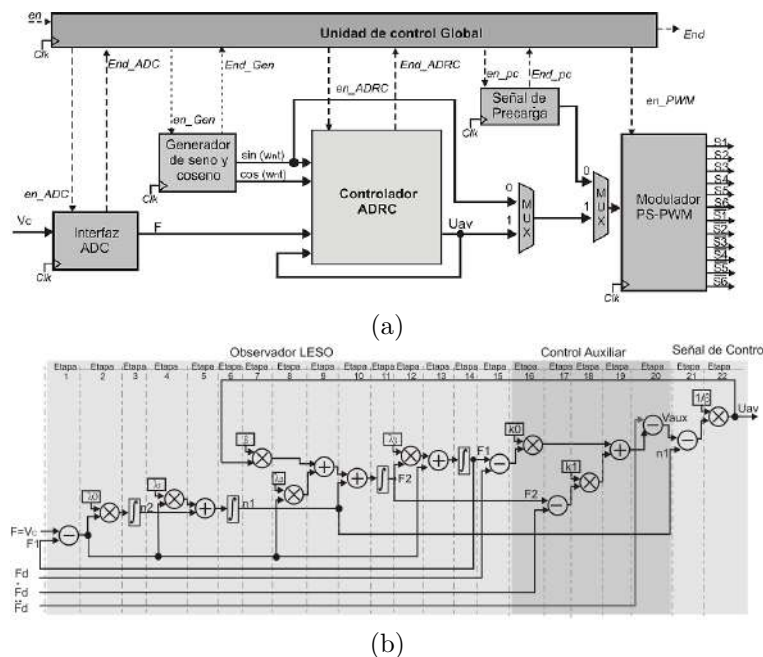


Figura 11. Implementación en el dispositivo FPGA. (a) Diagrama a bloques propuesto. (b) Arquitectura diseñada para la ejecución del algoritmo de control y LESO

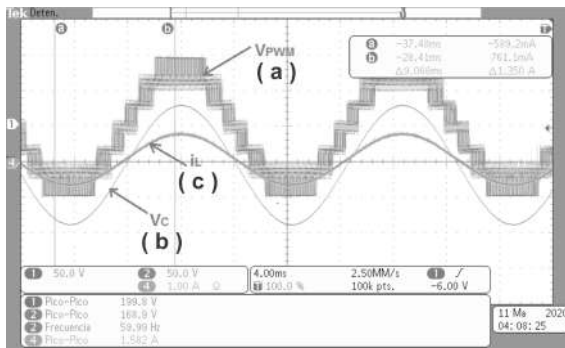


Figura 12. Formas de onda de salida obtenidas del prototipo experimental. (a) Salida de voltaje multinivel de 7 niveles antes del filtro LC (V_{PWM}). (b) Salida de voltaje después del filtro LC (V_C). (c) Corriente suministrada a la carga (i_L)

Para validar el contenido armónico de la onda de salida del inversor se realizó una prueba con un medidor de calidad de energía (Hioki 3197), el resultado se muestra en la Figura 13, se observa una alta calidad en la onda de salida, tanto en voltaje (THD_v) como en corriente (THD_i).

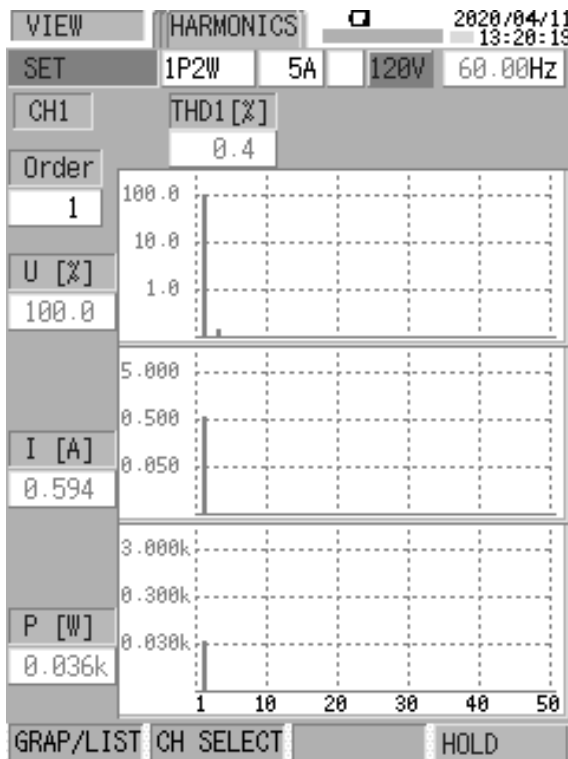


Figura 13. Resultado de la medición de THD_v y THD_i de la salida del inversor multinivel

Como resultado de la prueba en lazo abierto la Figura 14 muestra los resultados de tres aspectos que consideramos importantes: la señal de control (u_{av}), el voltaje de salida del convertidor (v_C) y el voltaje de los capacitores ($V_{C1...C5}$). Como ya se ha comentado anteriormente, se realizaron cambios de carga del tipo

lineal y no lineal. En la Figura 14(a) se muestra el valor de la señal de control con una amplitud fija después de la precarga con un valor de $u_{av} = 0.85$, el equivalente a un valor deseado de voltaje de salida $V_C = 85$ V, el cual se puede observar en la Figura 14(b) cuando el sistema es sometido a cambios de carga repentinos. En esta figura podemos observar claramente que durante los transitorios, la amplitud del voltaje se ve afectado, ya que disminuye. En la Figura 14(c) se observa que el balance de los capacitores se mantiene nominalmente dentro de su zona de trabajo, sin embargo, al momento de realizar los cambios de carga se puede apreciar un incremento en el rizo de cada uno de ellos.

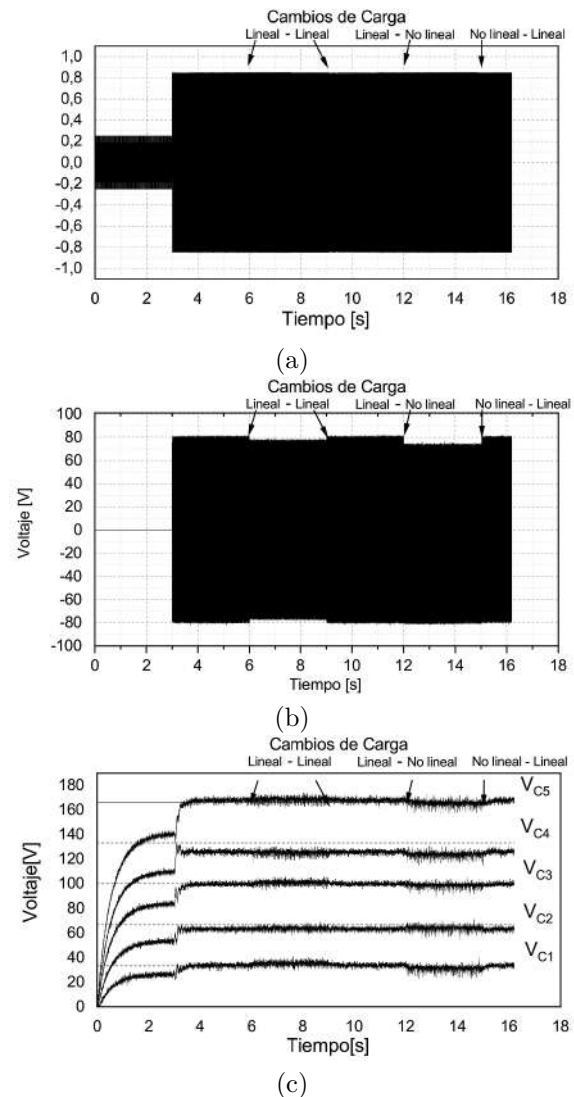


Figura 14. Gráficos de los resultados experimentales obtenidos en lazo abierto ante diferentes cambios de carga. (a) Señal de control (u_{av}). (b) Voltaje de salida del inversor después del filtro (V_C). (c) Voltaje en los capacitores flotantes $V_{C1...C5}$

La prueba en lazo cerrado se realizó bajo el mismo procedimiento que el llevado a cabo para la prueba en lazo abierto. La Figura 15(a) muestra el resultado de

la señal de control; después del periodo de precarga, se establece un valor inicial de $u_{av} = 0.85$ para un valor deseado de $V_C = 85$ ÷V, en la misma figura se puede observar la acción del controlador (u_{av} variable) durante la conexión repentina de las cargas. La Figura 15(b) muestra que el voltaje de salida no modifica su amplitud cuando se realizan los cambios de carga. En la Figura 15(c) se muestra el voltaje de los capacitores los cuales mantienen el balance y solo se aprecia un incremento de alta frecuencia en cada uno de ellos.

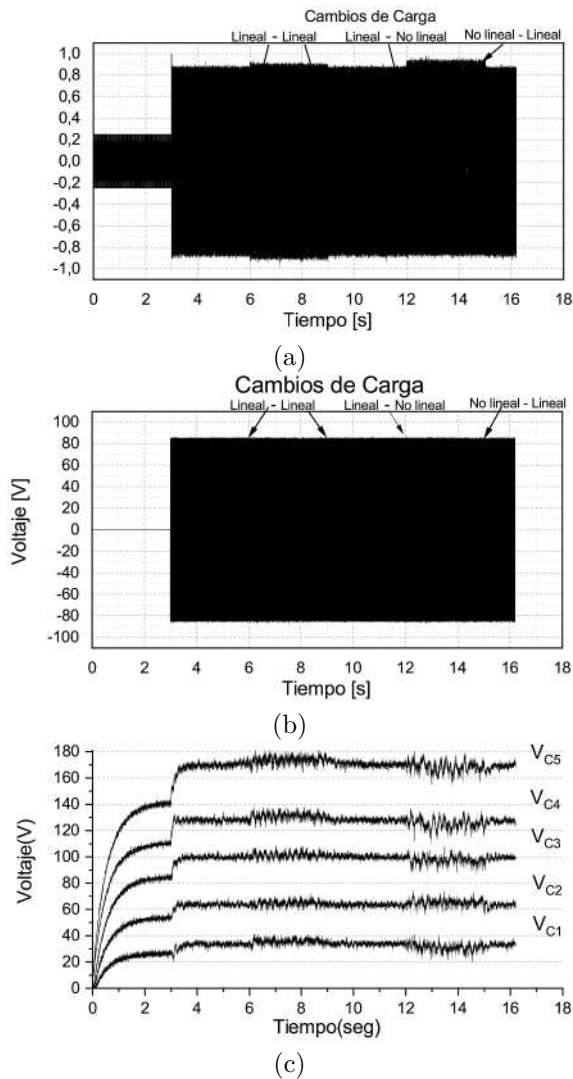


Figura 15. Gráficos de los resultados experimentales obtenidos en lazo cerrado ya con el controlador ADRC ante diferentes cambios de carga. (a) Señal de control (u_{av}). (b) Voltaje de salida del inversor después del filtro (V_C). (c) Voltaje en los capacitores flotantes $V_{C1...C5}$

5. Conclusiones

En términos generales se observa que la disminución en la complejidad del modelo del CMCF ayudó considerablemente en otros aspectos tales como la reducción

de la capacidad de cómputo necesaria para procesar el controlador, reducción en el tiempo de procesamiento y a emplear menos sensores en el prototipo.

Por otra parte, se puede comentar que es necesario que la modulación PS-PWM mantenga el balance de voltaje de los capacitores flotantes para que el control ADRC funcione, es decir, realice el seguimiento de la referencia de voltaje, sin embargo, la modulación PS-PWM no es capaz de mantener el voltaje deseado a la salida en su valor nominal cuando se presentaron perturbaciones en la corriente de carga.

Al agregar el controlador ADRC, la tarea de control se lleva a cabo de manera efectiva. El controlador ADRC y el observador LESO tratan con efectividad la perturbación de corriente, por lo que podemos considerar al controlador robusto ante perturbaciones exógenas provocadas por cambios de carga de tipo lineal y no lineal. La señal de voltaje en el capacitor del filtro sigue efectivamente a la referencia impuesta, salvo desviaciones transitorias, que rápidamente son minimizadas por el controlador. Hay que considerar que en el caso de desbalance de los capacitores, el control ADRC no es capaz de seguir la referencia de voltaje.

El uso del dispositivo de lógica programable para la implementación del sistema, como bien se observa en las pruebas experimentales, contribuyó a tener muy buenos resultados, sobre todo, en términos de rapidez de ejecución del algoritmo y atención a las perturbaciones.

Se verificó que los inversores multinivel poseen entre sus características principales una alta calidad en la onda de salida ($THD_v < 5\%$, como lo marca el estándar IEEE-519) y que la topología de capacitores flotantes, al requerir solo una fuente de CD, es una opción recomendable entre las otras estructuras multinivel ya existentes.

Referencias

- [1] D. Hart, *Electrónica de potencia*. Madrid: Pearson Education, 2001. [Online]. Available: <https://bit.ly/3eJZYXH>
- [2] R. Haider, R. Alam, N. B. Yousuf, and K. M. Salim, "Design and construction of single phase pure sine wave inverter for photovoltaic application," in *2012 International Conference on Informatics, Electronics & Vision (ICIEV)*. IEEE, may 2012. [Online]. Available: <https://doi.org/10.1109/iciev.2012.6317332>
- [3] L. Franquelo, J. Rodríguez, J. León, S. Kouro, R. Portillo, and M. Prats, "The age of multilevel converters arrives," *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28–39, jun 2008. [Online]. Available: <https://doi.org/10.1109/mie.2008.923519>

- [4] S. A. González, S. A. Verne, and M. I. Valla, *Multilevel Converters For Industrial Applications*. Taylor & Francis Ltd, 2017. [Online]. Available: <https://bit.ly/3eN3PUc>
- [5] Y. Lei, C. Barth, S. Qin, W.-C. Liu, I. Moon, A. Stillwell, D. Chou, T. Foulkes, Z. Ye, Z. Liao, and R. C. N. Pilawa-Podgurski, “A 2 kW, single-phase, 7-level, GaN inverter with an active energy buffer achieving 216 w/in³ power density and 97.6% peak efficiency,” in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*. IEEE, mar 2016. [Online]. Available: <http://doi.org/10.1109/apec.2016.7468068>
- [6] D. Janik, T. Kosan, P. Kamenicky, and Z. Peroutka, “Universal precharging method for dc-link and flying capacitors of four-level flying capacitor converter,” in *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*. IEEE, nov 2013. [Online]. Available: <https://doi.org/10.1109/IECON.2013.6700175>
- [7] S. Thielemans, B. Reznikov, J. Melkebeek, and A. Ruderman, “Self-precharge for single-leg odd-level multilevel converter,” in *5th IET International Conference on Power Electronics, Machines and Drives (PEMD 2010)*. Institution of Engineering and Technology, 2010. [Online]. Available: <https://doi.org/10.1049/cp.2010.0142>
- [8] C. Feng, J. Liang, and V. G. Agelidis, “Modified phase-shifted PWM control for flying capacitor multilevel converters,” *IEEE Transactions on Power Electronics*, vol. 22, no. 1, pp. 178–185, jan 2007. [Online]. Available: <https://doi.org/10.1109/tpel.2006.886600>
- [9] M. Trabelsi and L. Ben-Brahim, “Experimental photovoltaic power supply based on flying capacitors multilevel inverter,” in *2011 International Conference on Clean Electrical Power (ICCEP)*. IEEE, jun 2011. [Online]. Available: <http://doi.org/10.1109/iccep.2011.6036314>
- [10] A. M. Y. M. Ghias, J. Pou, M. Ciobotaru, and V. G. Agelidis, “Voltage balancing method for the multilevel flying capacitor converter using phase-shifted PWM,” in *2012 IEEE International Conference on Power and Energy (PECon)*. IEEE, dec 2012. [Online]. Available: <http://doi.org/10.1109/pecon.2012.6450221>
- [11] G. Gateau, M. Fadel, P. Maussion, R. Bensaid, and T. A. Meynard, “Multicell converters: active control and observation of flying-capacitor voltages,” *IEEE Transactions on Industrial Electronics*, vol. 49, no. 5, pp. 998–1008, oct 2002. [Online]. Available: <http://doi.org/10.1109/tie.2002.803200>
- [12] R. W. Erickson and D. Maksimović, *Fundamentals of Power Electronics*. Springer US, 2001. [Online]. Available: <http://doi.org/10.1007/b100747>
- [13] H. Miranda, V. Cárdenas, G. Espinosa-Pérez, and D. Noriega-Pineda, “Multilevel cascade inverter with voltage and current output regulated using a passivity - based controller,” in *Conference Record of the 2006 IEEE Industry Applications Conference Forty-First IAS Annual Meeting*. IEEE, oct 2006. [Online]. Available: <https://doi.org/10.1109/IAS.2006.256643>
- [14] J. A. Juárez-Abad, J. Linares-Flores, E. Guzmán-Ramírez, and H. Sira-Ramírez, “Generalized proportional integral tracking controller for a single-phase multilevel cascade inverter: An FPGA implementation,” *IEEE Transactions on Industrial Informatics*, vol. 10, no. 1, pp. 256–266, feb 2014. [Online]. Available: <http://doi.org/10.1109/tii.2013.2242085>
- [15] F. J. Chavero Ramírez, H. J. C. López Tapia, and N. V. Nava, “Estrategia de control para inversor multinivel con capacitores flotantes,” *Pistas educativas*, vol. 108, no. 35, 2014. [Online]. Available: <https://bit.ly/3eNaVIk>
- [16] M. Caris, H. Huisman, J. Duarte, and E. Lomonova, “Nonlinear and vector closed-loop control methods for flying-capacitor power converters,” *International Journal of Electronics*, vol. 104, no. 8, pp. 1298–1316, mar 2017. [Online]. Available: <https://doi.org/10.1080/00207217.2017.1293739>
- [17] D. Bhattacharyya, S. Padhee, and K. C. Pati, “Modeling of DC–DC converter using exact feedback linearization method: A discussion,” *IETE Journal of Research*, vol. 65, no. 6, pp. 843–854, may 2018. [Online]. Available: <https://doi.org/10.1080/03772063.2018.1454345>
- [18] B.-Z. Guo and Z.-L. Zhao, *Active disturbance rejection control for nonlinear systems: An introduction*. John Wiley & Sons, 2016. [Online]. Available: <https://doi.org/10.1002/9781119239932>
- [19] H. Kaeslin, *Top-down digital VLSI design: from architectures to gate-level circuits and FPGAs*. Waltham, MA: Morgan Kaufmann, 2015. [Online]. Available: <https://bit.ly/36WnwGh>
- [20] E. Monmasson, L. Idkhajine, I. Bahri, M-W. Naouar, and L. Charaabi, “Design methodology and FPGA-based controllers for power electronics and drive applications,” in *2010 5th IEEE Conference on Industrial Electronics and Applications*. IEEE, jun 2010. [Online]. Available: <https://doi.org/10.1109/ICIEA.2010.5515585>

- [21] J. A. Juárez-Abad, A. P. Sandoval-García, J. Linares-Flores, J. F. Guerrero-Castellanos, P. Banuelos-Sánchez, and M. A. Contreras-Ordaz, “FPGA implementation of passivity-based control and output load algebraic estimation for transformerless multilevel active rectifier,” *IEEE Transactions on Industrial Informatics*, vol. 15, no. 4, pp. 1877–1889, apr 2019. [Online]. Available: <https://doi.org/10.1109/tii.2018.2865445>
- [22] R. Mayoral Lagunes, J. A. Juárez-Abad, B. A. Aguilar López, J. L. Barahona Ávalos, and J. Linares Flores, “Control de velocidad de un motor síncrono de imanes permanentes accionado por un inversor trifásico multinivel,” *Ingenius*, no. 23, pp. 97–108, dec 2019. [Online]. Available: <http://doi.org/10.17163/ings.n23.2020.09>

Bibliografía

- [1] T. Wildi and R. Salas, *Máquinas eléctricas y sistemas de potencia*. Pearson Educación, 2007. [Online]. Available: <https://books.google.com.mx/books?id=ehxKXip1j6EC>
- [2] “Fpgas and 3d ics,” 2020. [Online]. Available: <https://www.xilinx.com/products/silicon-devices/fpga.html>
- [3] J. A. Juárez-Abad, J. Linares-Flores, E. Guzmán-Ramírez, and H. Sira-Ramírez, “Generalized proportional integral tracking controller for a single-phase multilevel cascade inverter: An fpga implementation,” *IEEE Transactions on Industrial Informatics*, vol. 10, no. 1, pp. 256–266, Feb 2014.
- [4] E. Guerrero, J. Linares, E. Guzman, H. Sira, G. Guerrero, and A. Martinez, “Dc motor speed control through parallel dc/dc buck converters,” *IEEE Latin America Transactions*, vol. 15, no. 5, pp. 819–826, 2017.
- [5] B. A. Aguilar-López, J. A. Juárez-Abad, J. L. Barahona-Avalos, R. Mayoral-Lagunes, J. Linares-Flores, and M. A. Contreras-Ordaz, “Control para el voltaje de salida de un inversor multinivel de capacitores flotantes,” *Ingenius*, 2020. [Online]. Available: <http://doi.org/10.17163/ings.n24.2020.07>
- [6] Hu Jianhui, Xu Yongxiang, and Zou Jibin, “Design and implementation of adaptive backstepping speed control for permanent magnet synchronous motor,” in *2006 6th World Congress on Intelligent Control and Automation*, vol. 1, 2006, pp. 2011–2015.
- [7] H. M. Kamel, H. M. Hasanien, and H. E. A. Ibrahim, “Speed control of permanent magnet synchronous motor using fuzzy logic controller,” in *2009 IEEE International Electric Machines and Drives Conference*, 2009, pp. 1587–1591.
- [8] G. Demir and R. A. Vural, “Speed control method using genetic algorithm for permanent magnet synchronous motors,” in *2018 6th International Conference on Control Engineering Information Technology (CEIT)*, 2018, pp. 1–6.
- [9] H. Sira-Ramírez, J. Linares-Flores, C. García-Rodríguez, and M. A. Contreras-Ordaz, “On the control of the permanent magnet synchronous motor: An active disturbance rejection control approach,” *IEEE Transactions on Control Systems Technology*, vol. 22, no. 5, pp. 2056–2063, 2014.

-
- [10] J. J. Vásquez Sanjuan, R. J. Márquez Contreras, E. Yescas Mendoza, J. L. Flores, R. Ochoa Bravo, and M. E. Tlaxcaltecatl, "Design and modeling of integral control state-feedback controller for pmsm," in *2018 15th International Conference on Electrical Engineering, Computing Science and Automatic Control (CCE)*, 2018, pp. 1–4.
- [11] J. J. V. Sanjuan, J. L. Flores, E. Y. Mendoza, and M. E. Tlaxcaltecatl, "A sensorless passivity-based control for pmsm," in *2018 International Conference on Electronics, Communications and Computers (CONIELECOMP)*, 2018, pp. 86–91.
- [12] E. N. Carlos, L. F. Jesús, G. R. Carlos, R.-C. O. D., and C. O. M. Antonio, "Control robusto de seguimiento suave de posición angular del motor síncrono de imanes permanentes," *Memorias del XVI Congreso Latinoamericano de Control Automático*, 2014.
- [13] C.-H. Fang, W.-N. Huang, C.-H. Chen, J.-K. Chen, and H.-Y. Chang, "New design concept of an fpga-based chip with considerations of flexible functions applying sliding mode control strategy for permanent magnet synchronous motor drives," in *Twentieth Annual IEEE Applied Power Electronics Conference and Exposition, 2005. APEC 2005.*, vol. 3, March 2005, pp. 1903–1908 Vol. 3.
- [14] Y. C. Chang and Y. Y. Tzou, "Single-chip fpga implementation of a sensorless speed control ic for permanent magnet synchronous motors," in *2007 IEEE Power Electronics Specialists Conference*, June 2007, pp. 593–598.
- [15] T. Hanamoto, M. Deriha, H. Ikeda, and T. Tsuji, "Digital hardware circuit using fpga for speed control system of permanent magnet synchronous motor," in *2008 18th International Conference on Electrical Machines*, Sept 2008, pp. 1–5.
- [16] S. Carbone, V. D. Colli, R. D. Stefano, G. Figalli, and F. Marignetti, "Design and implementation of high performance fpga control for permanent magnet synchronous motor," in *2009 35th Annual Conference of IEEE Industrial Electronics*, Nov 2009, pp. 2901–2906.
- [17] C. Dufour, S. Cense, T. Yamada, R. Imamura, and J. Bélanger, "Fpga permanent magnet synchronous motor floating-point models with variable-dq and spatial harmonic finite-element analysis solvers," in *2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC)*, Sept 2012, pp. LS6b.2–1–LS6b.2–10.
- [18] M. A. Bevilaqua, A. Nied, and J. de Oliveira, "Labview fpga foc implementation for synchronous permanent magnet motor speed control," in *2014 11th IEEE/IAS International Conference on Industry Applications*, Dec 2014, pp. 1–8.
- [19] P. Rogers, R. Kavasseri, and S. C. Smith, "An fpga-based design for joint control and monitoring of permanent magnet synchronous motors," in *2016 International Conference on ReConFigurable Computing and FPGAs (ReConFig)*, Nov 2016, pp. 1–6.
- [20] F. Chen, X. Jiang, X. Ding, and C. Lin, "Fpga-based sensorless pmsm speed control using adaptive sliding mode observer," in *IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*, Oct 2017, pp. 4150–4154.

- [21] S. Boukaka, H. Teiar, H. Chaoui, and P. Sicard, "Fpga implementation of an adaptive fuzzy logic controller for pmsm," in *7th IET International Conference on Power Electronics, Machines and Drives (PEMD 2014)*, 2014, pp. 1–6.
- [22] M. N. A. Kadir, S. Mekhilef, and H. W. Ping, "Direct torque control permanent magnet synchronous motor drive with asymmetrical multilevel inverter supply," in *2007 7th International Conference on Power Electronics*, Oct 2007, pp. 1196–1201.
- [23] P. H. Raj, A. I. Maswood, G. H. P. Ooi, and H. D. Tafti, "Multiple-pole multilevel diode clamped inverter for permanent magnet synchronous motor drive," in *2015 IEEE 11th International Conference on Power Electronics and Drive Systems*, June 2015, pp. 862–866.
- [24] T. Ngo, G. Foo, C. Baguley, D. Mohan, and Z. Xinan, "A novel direct torque control strategy for interior permanent magnet synchronous motors driven by a three-level simplified neutral point clamped inverter," in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, Sept 2016, pp. 1–8.
- [25] Z. Wang, J. Chen, M. Cheng, and N. Ren, "Vector space decomposition based control of neutral-point-clamping (npc) three-level inverters fed dual three-phase pmsm drives," in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*, Oct 2016, pp. 2988–2993.
- [26] S. Jana, P. K. Biswas, and U. Das, "A comparative study of two-level and five-level inverter to convert supercapacitive energy for pmsm load," in *2017 IEEE Calcutta Conference (CALCON)*, 2017, pp. 352–356.
- [27] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. M. Prats, "The age of multilevel converters arrives," *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28–39, June 2008.
- [28] E. Monmasson, L. Idkhajine, and M. W. Naouar, "Fpga-based controllers," *IEEE Industrial Electronics Magazine*, vol. 5, no. 1, pp. 14–26, March 2011.
- [29] L. C. D., "Control de un motor brushless para aplicación a vehículos eléctricos," Tesis de Maestría., Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), oct 2010.
- [30] B. Bose, *Modern Power Electronics and AC Drives*, ser. Eastern Economy Edition. Prentice Hall PTR, 2002. [Online]. Available: <https://books.google.com.mx/books?id=QWnHQgAACAAJ>
- [31] R. Krishnan, *Permanent Magnet Synchronous and Brushless DC Motor Drives*. CRC Press, 2017. [Online]. Available: <https://books.google.com.mx/books?id=U-RxikH3aXEC>
- [32] S. Lyshevski, *Electromechanical Systems, Electric Machines, and Applied Mechatronics*, ser. Electric Power Engineering Series. Taylor & Francis, 1999. [Online]. Available: <https://books.google.com.mx/books?id=3GYU1NIXKw8C>

- [33] “yokeless axial flux motors for electric vehicles,” 2020. [Online]. Available: <https://www.magnax.com>
- [34] L. Blanco Rubio, “Diseño electromagnético de un motor síncrono de imanes permanentes para el accionamiento directo de la hélice de un barco,” 2017.
- [35] J. A. O. L., “Estudio de técnicas de modulación para el inversor multinivel en cascada híbrido (simétrico-asimétrico),” Tesis de Maestría., Centro Nacional de Investigación y Desarrollo Tecnológico (CENIDET), Febrero 2012.
- [36] P. Panagis, F. Stergiopoulos, P. Marabeas, and S. Manias, “Comparison of state of the art multilevel inverters,” in *2008 IEEE Power Electronics Specialists Conference*, 2008, pp. 4296–4301.
- [37] H. Liu, L. M. Tolbert, B. Ozpineci, and Z. Du, “Comparison of fundamental frequency and pwm methods applied on a hybrid cascaded multilevel inverter,” in *2008 34th Annual Conference of IEEE Industrial Electronics*, 2008, pp. 3233–3237.
- [38] V. Kumar Chinnaiyan, J. Jerome, J. Karpagam, and T. Suresh, “Control techniques for multilevel voltage source inverters,” in *2007 International Power Engineering Conference (IPEC 2007)*, 2007, pp. 1023–1028.
- [39] E. Jung and S. Sul, “Implementation of grid-connected single-phase inverter based on fpga,” in *2009 Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition*, 2009, pp. 889–893.
- [40] Z. Yang, Y. Zhong-dong, S. Ren-zhong, and H. Tao, “Research on cascade multilevel inverter based on fpga control,” in *2009 International Conference on Energy and Environment Technology*, vol. 2, 2009, pp. 225–227.
- [41] N. A. Azli, L. Y. Teng, and P. Y. Lim, “Implementation of a single-carrier multilevel pwm technique using field programmable gate array (fpga),” in *2007 7th International Conference on Power Electronics and Drive Systems*, 2007, pp. 836–841.
- [42] D. Maxinez and J. Alcalá, *VHDL: el arte de programar sistemas digitales*. Compañía Editorial Continental, 2004. [Online]. Available: <https://books.google.com.mx/books?id=xG4mYAAACAAJ>
- [43] J. J. Rodríguez-Andina, M. D. Valdés-Peña, and M. J. Moure, “Advanced features and industrial applications of fpgas - a review,” *IEEE Transactions on Industrial Informatics*, vol. 11, no. 4, pp. 853–864, Aug 2015.
- [44] W. H. Zhu, “Fpga logic devices for precision control: An application to large friction actuators with payloads,” *IEEE Control Systems*, vol. 34, no. 3, pp. 54–75, June 2014.
- [45] “Intel® fpgas and programmable devices - intel® fpga.” [Online]. Available: <https://intel.ly/2O1j0zd>
- [46] “Smarter. connected. differentiated.” [Online]. Available: <https://bit.ly/2Nqnyj3>

- [47] M. I. a. Strategy, “Microsoft: Fpga wins versus google tpus for ai,” Aug 2017. [Online]. Available: <https://bit.ly/2xuREIh>
- [48] —, “Amazon’s xilinx fpga cloud: Why this may be a significant milestone,” Dec 2016. [Online]. Available: <https://bit.ly/2PTSdlH>
- [49] “An in-depth look at google’s first tensor processing unit (tpu).” [Online]. Available: <https://cloud.google.com/blog/products/gcp/an-in-depth-look-at-googles-first-tensor-processing-unit-tpu>
- [50] V. Arteaga, “Fpga, ¿qué son? ¿para qué sirven? y aplicaciones.” [Online]. Available: <https://www.intesc.mx/fpga-que-son-para-que-sirven-y-aplicaciones-2/>
- [51] J. A. Juárez-Abad, A. P. Sandoval-García, J. Linares-Flores, J. F. Guerrero-Castellanos, P. Bañuelos-Sánchez, and M. A. Contreras-Ordaz, “Fpga implementation of passivity-based control and output load algebraic estimation for transformerless multilevel active rectifier,” *IEEE Transactions on Industrial Informatics*, vol. 15, no. 4, pp. 1877–1889, 2019.
- [52] A. Moore and R. Wilson, *FPGAs For Dummies, 2nd Intel Special Edition*, ser. Intel Programmable Solutions Group. John Wiley and Sons, Inc, 2017, no. v. 1. [Online]. Available: http://ati.ttu.ee/~alsu/fpgas_for_dummies_ebook.pdf
- [53] R. Krishnan, *Permanent Magnet Synchronous and Brushless DC Motor Drives*, 1st ed., ser. Mechanical Engineering (Marcel Dekker). CRC Press, 2009. [Online]. Available: <https://books.google.com.mx/books?id=U-RxikH3aXEC>
- [54] H. Márquez, *Nonlinear Control Systems: Analysis and Design*, 1st ed. Wiley-Interscience, 2003. [Online]. Available: <https://books.google.com.mx/books?id=0I6PQgAACAAJ>
- [55] E. Delaleau and A. M. Stankovic, “Flatness-based hierarchical control of the pm synchronous motor,” in *Proceedings of the 2004 American Control Conference*, vol. 1, June 2004, pp. 65–70 vol.1.
- [56] B. Grcar, P. Cafuta, and M. Znidaric, “Nonlinear control of synchronous servo drive,” in *1994 International Conference on Control - Control '94.*, vol. 2, March 1994, pp. 1198–1203 vol.2.
- [57] J. Chiasson, I. of Electrical, E. Engineers, and J. W. . Sons, *Modeling and High Performance Control of Electric Machines*, ser. IEEE Press Series on Power Engineering. Wiley, 2005. [Online]. Available: <https://books.google.com.mx/books?id=J-ISAAAAMAAJ>
- [58] Y. E. Gliklikh, “Necessary and sufficient conditions for global-in-time existence of solutions of ordinary, stochastic, and parabolic differential equations,” in *Abstract and Applied Analysis*, vol. 2006. Hindawi, 2006.
- [59] S. Palnitkar, *Verilog HDL: A Guide to Digital Design and Synthesis*, ser. Electrical Engineering: Digital Design. SunSoft Press, 2003, no. v. 1. [Online]. Available: <https://books.google.com.mx/books?id=fCSlpgsqkhkC>

-
- [60] I. T. P754, *ANSI/IEEE 754-1985, Standard for Binary Floating-Point Arithmetic*, IEEE, New York, Aug. 12 1985, a preliminary draft was published in the January 1980 issue of *IEEE Computer*, together with several companion articles. Available from the IEEE Service Center, Piscataway, NJ, USA.
- [61] “Ieee recommended practice and requirements for harmonic control in electric power systems,” *IEEE Std 519-2014 (Revision of IEEE Std 519-1992)*, pp. 1–29, June 2014.